6/9.23

Perifere schakelingen van de 16Cxxx-familie

Inhoud

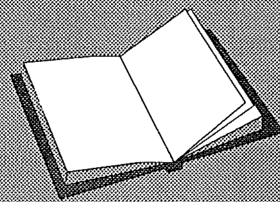
6/9.23.1 Inleiding

Seriële en parallelle communicatie

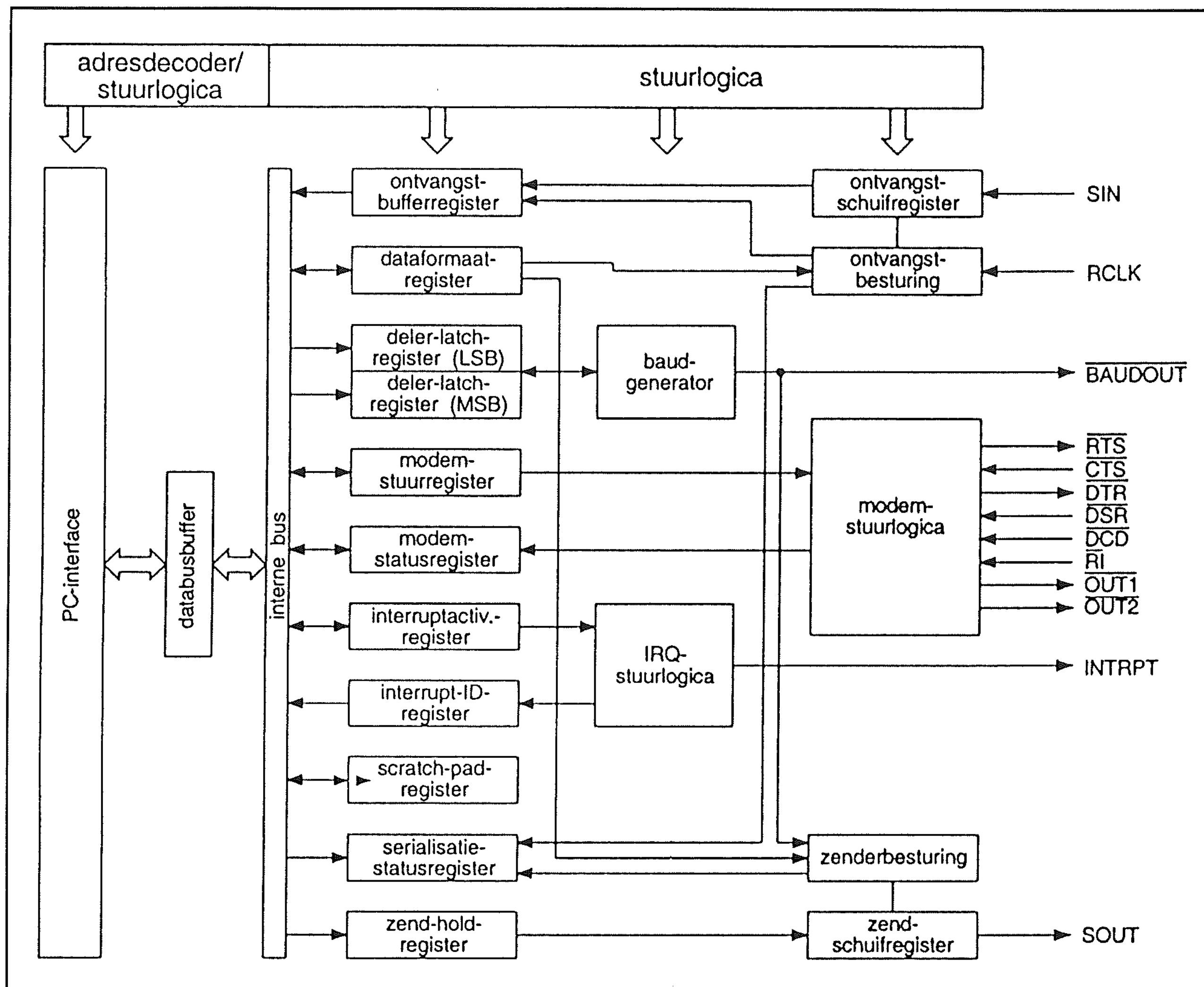
Seriële interface
Ieder PC-systeem is voorzien van enige seriële poorten (een tot maximaal vier), die bedoeld zijn voor seriële uitwisseling van gegevens met randapparatuur. Dat kan een printer zijn, maar ook een extern modem, een tweede computer en natuurlijk een muis.
De gegevens worden echter in de PC parallel verwerkt. Dus moet er hardware aanwezig zijn, die de parallelle interne gegevens van de PC omzet in een seriële datastroom. Anderzijds moeten de seriële gegevens, die via een van deze poorten binnen komen, weer worden omgezet in parallelle gegevens. Voor deze dubbele omzetting zorgt de UART, de "Universal Asynchronous Receiver and Transmitter". Dit is één IC met een handjevol externe onderdelen. Dit klein beetje hardware vormt echter een krachtig gereedschap om op alle mogelijke manieren gegevens met de PC uit te wisselen. Het blokschema van een dergelijke schakeling is getekend in figuur 6/9.23.1-1. Natuurlijk zorgt in eerste instantie het bedrijfssysteem voor de aansturing van de UART. Gevorderde programmeurs kunnen echter deze schakeling ook zélf programmeren, waardoor bijvoorbeeld hogere bautrates haalbaar zijn dan de BIOS van het systeem ondersteunt.

Oude en moderne UART's
In de allereerste PC's (XT) werd als UART de 8250 gebruikt. De allereerste versies van dit IC waren echter allerminst foutvrij. Vandaar dat de 8250 snel werd opgevolgd door de 8251. Zowel de 8250 als de 8251 hebben een maximale baudrate van 9.600. Vanaf de AT werd de 8250 of 8251 vervangen door leden uit de 16Cxxx-familie, met name de 16C450 of de 82450. Beide schakelingen zijn compatibel en kunnen communiceren met een maximale snelheid van niet minder dan 115.200 baud. Maar zelfs de meest moderne BIOS'sen ondersteunen deze snelheid niet, zodat er niets anders opzit dan rechtstreeks de registers van deze IC's te programmeren als men deze maximale snelheid wil halen.

LEES OOK:
Hoofdstuk 6/9.23.1
Hoofdstuk 6/10.10
Hoofdstuk 6/10.11



9.23 Perifere schakelingen van de 16Cxxx-familie



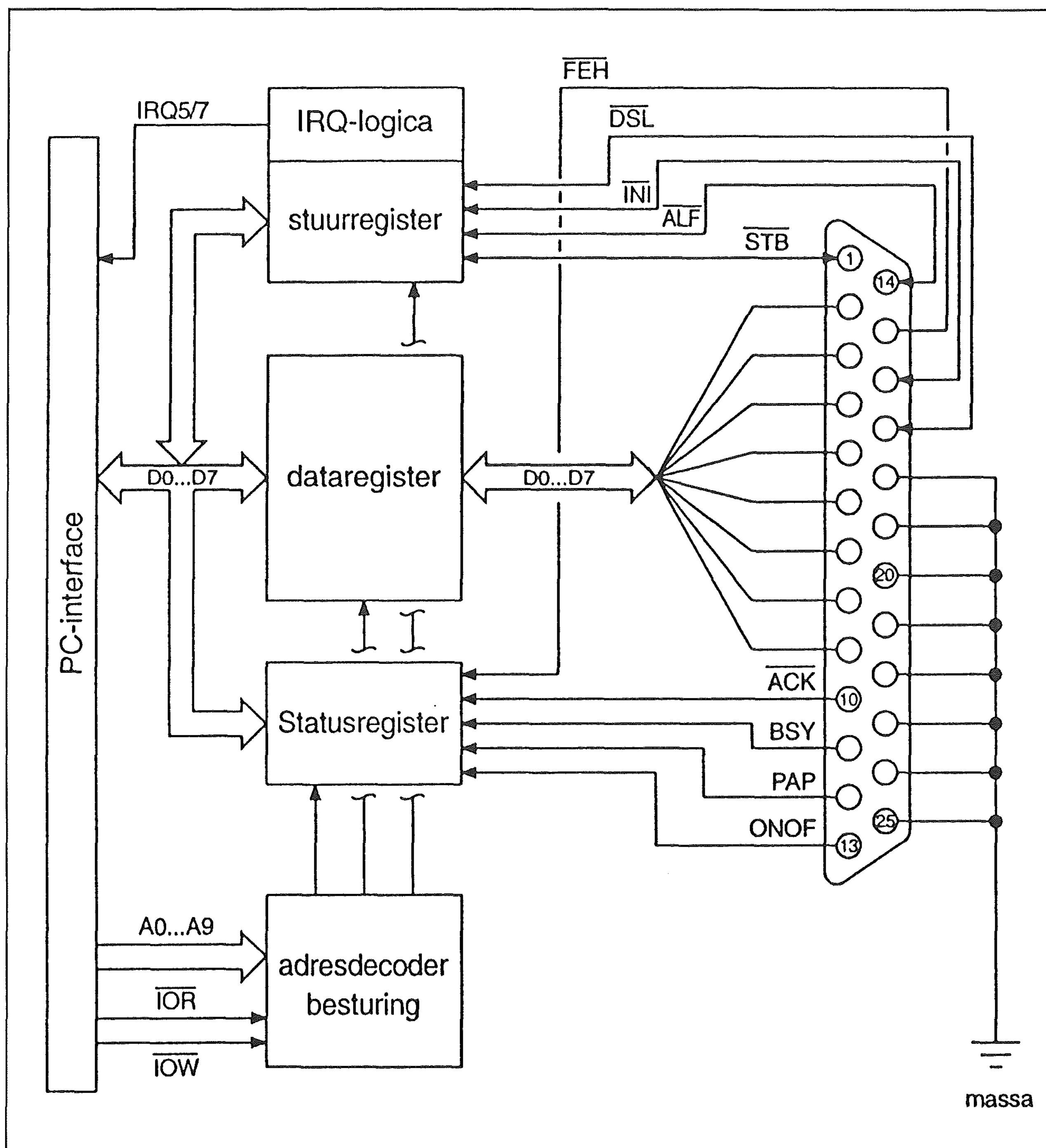
Figuur 6/9.23.1-1: Het algemene blokschema van een seriële interface tussen een computer en een RS-232 poort.

Nu is het niet zo dat alle AT's, 386- en 486-systemen zijn uitgerust met deze snelle communicatie-IC's. Er zijn veel goedkope klonen, tot zelfs aan 486-systemen toe, uitgerust met de oude en goedkope 8250A. In de allermodernste Pentium-systemen is de 16C450 weer opgevolgd door de 16C550, een UART die is voorzien van een aantal FIFO-registers.

Parallelle interface

Naast de seriële interface, die de RS-232 poorten aanstuurt, heeft iedere PC ook een parallelle interface, die de Centronics poort bedient. Het verschil is dat bij de parallelle interface de data parallel worden doorgekoppeld, zodat er geen omzetting naar serieel formaat noodzakelijk is. In de eerste generaties PC's werden voor deze communicatie verschillende hardware-oplossingen bedacht. Een algemeen blokschema van een parallelle interface is getekend in figuur 6/9.23.1-2.
In moderne systemen is de parallelle interface echter soms gecombineerd met de seriële.

9.23 Perifere schakelingen van de 16Cxxx-familie



Figuur 6/9.23.1-2: Het algemeen blokschema van een parallelle interface.

Er worden dan een 16C451 of een 16C452 gebruikt, UART's die uitgebreid zijn met een parallelle Centronics-interface. Men kan dan de seriële en de parallelle communicatie met slechts één IC sturen.

Bi-directioneel Centronics

De originele Centronics-standaard ging uit van uni-directionele communicatie. Weliswaar zijn, zie figuur 6/9.23.1-2, een aantal statuslijnen aanwezig, die van bui-

ten naar binnen werken. De data-overdracht vond altijd plaats van computer naar randapparatuur. Een nieuwe ontwikkeling is de bi-directionele Centronics-poort.
Hierbij kan het perifere apparaat ook data-gegevens naar de PC sturen. Ook voor dit soort schakelingen kan men terecht bij de 16Cxxx-familie!

De 16Cxxx-familie
De IC's uit de 16Cxxx-familie zijn dus tegenwoordig een onmisbare schakel in de communicatie tussen een PC en de buitenwereld. Vandaar dat deze schakelingen, die door diverse fabrikanten op de markt worden gebracht, in dit hoofdstuk aan een nader onderzoek worden onderworpen.

Familie overzicht

De 16C450
De 16450 is een universele asynchrone zender/ontvanger met modem-besturing (UART) die door sommige merken ook wel Asynchroon Communicatie Element (ACE) wordt genoemd.
Het IC wordt gebruikt als algemeen bruikbare seriële in-/uitgangs-interface in computersystemen. De ACE zet de seriële data die wordt ontvangen van een randapparaat of een modem om in parallelle data voor de CPU en omgekeerd. De CPU kan op elk willekeurig moment de status van de ACE opvragen.

De 16C451
De 16C451 is in feite een 16C450 universele asynchrone zender/ontvanger met modem-besturing (UART), uitgebreid met een Centronics printer-interface.

De 16C452
De 16452 is de dubbele uitvoering van de 16C451. Het IC bevat twee UART's plus twee Centronics printer-interface's.

De 16C454
De 16C454 is een viervoudige universele asynchrone zender en ontvanger (UART) met modem-besturing. De 16C454 is een verbeterde (snellere) en uitgebreide versie van de 16C450. Deze UART heeft een programmeerbare baud-rate generator waarmee kloksnelheden voor zenden en ontvangen instelbaar zijn tussen 50 Hz en 448 kHz. De 16C454 beschikt over interne statusregisters die informatie over eventuele fouten en de toestand en de typen data-overdracht verstrekken. Ook is een komplete inrichting voor het besturen van modems aanwezig, plus een processor-interrupt systeem dat met software kan worden aangepast aan de eisen van de gebruiker. Voor het testen van de 16C454 kan een interne loop-back worden toegepast.

De 16C550
De 16C550 is een universele asynchrone zender/ontvanger met 16 byte FIFO's (First-In, First-Out geheugens) aan zend- en ontvangzijde, plus drie extra bits per byte in de ontvang-FIFO voor foutmeldingen. Deze UART heeft een programmeerbare baud-rate generator, waarmee kloksnelheden voor zenden en ontvangen van 50 Hz tot en met 448 kHz kunnen worden ingesteld. Tevens beschikt de 16C550 over interne statusregisters die informatie verschaffen over foutcondities en soort en status van de lopende data-overdracht. De 16C550 beschikt over alle functies voor het besturen van een modem plus een processor-interrupt systeem dat met behulp van software aan de eisen

9.23 Perifere schakelingen van de 16Cxxx-familie

van de gebruiker kan worden aangepast. Bovendien is interne loop-back voor testdoeleinden mogelijk.

De 16C550

De 16C552 is een 16C550, die bovendien is voorzien van een ***bidirectionele*** Centronics printerpoort. Elk kanaal kan onafhankelijk van het andere communiceren met microprocessor- of microcontroller systemen. De complete status van elk kanaal kan op elk moment door de CPU worden uitgelezen. De 16C552 heeft een programmeerbare baud-rate generator, waarmee kloksnelheden van 50 Hz tot en met 448 kHz kunnen worden ingesteld. De ACE beschikt over alle functies voor het besturen van een modem plus een processor interrupt systeem dat met behulp van software aan de eisen van de gebruiker kan worden aangepast. Bovendien is interne loop-back voor testdoeleinden mogelijk.

9.23 Perifere schakelingen van de 16Cxxx-familie

6/9.23.2 De 16C450-serie

De 16C450

De 16C450 is een universele asynchrone zender/ontvanger met modem-besturing (UART) die door sommige merken ook wel Asynchroon Communicatie Element (ACE) wordt genoemd. De 16C450 is de verbeterde CMOS-versie van de oudere INS8250/NS16450 UART van NatSemi en wordt gebruikt als seriële in-/uitgangsinterface in microcomputersystemen. De ACE zet de seriële data die wordt ontvangen van een randapparaat of een modem om in parallelle data voor de CPU en omgekeerd. De CPU kan op elk willekeurig moment de status van de ACE opvragen.

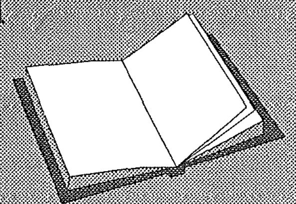
De interne statusregisters leveren bijvoorbeeld informatie over het type dataoverdracht dat plaats vindt en de toestand daarvan, plus foutmeldingen, als die optreden. De 16C450 beschikt over een complete inrichting voor het besturen van een modem en een processor-interrupt systeem dat met behulp van software op de eisen van de gebruiker kan worden aangepast. Hierdoor wordt de communicatie zo eenvoudig mogelijk. Tevens heeft de 16C450 een programmeerbare interne baud-rate generator.

Kenmerken van de 16C450

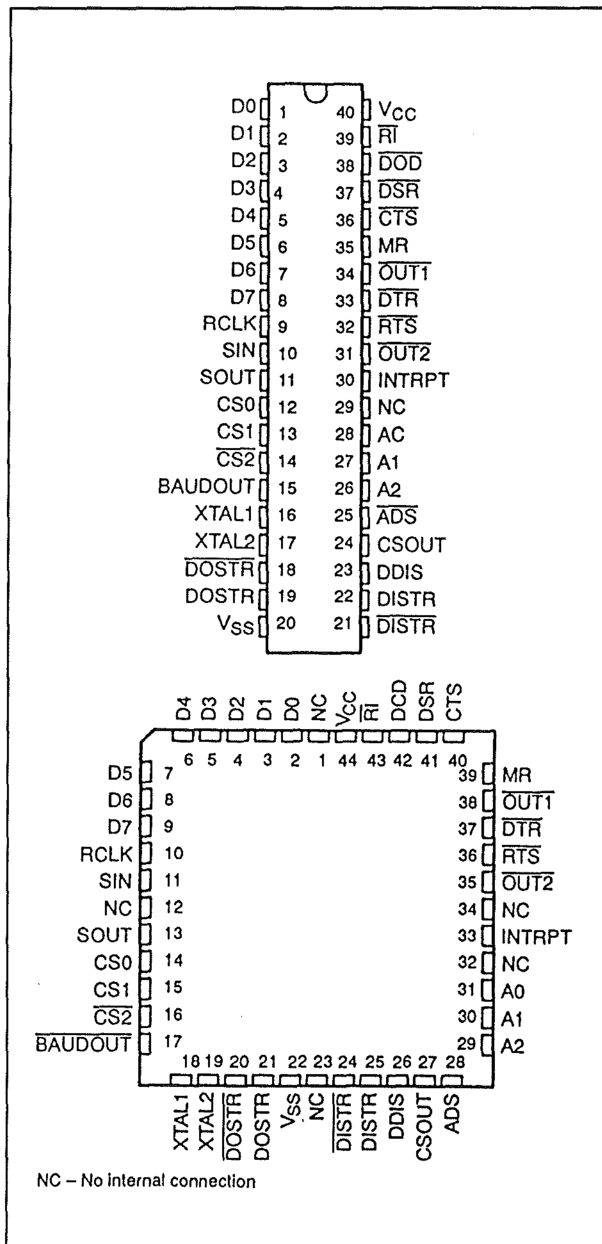
- programmeerbare baud-rate generator: referentie-clock delen door 1 tot (2^{16}-1) en genereren van interne X16-clock
- dubbele buffering: geen precieze synchronisatie nodig
- toevoegen of weglaten van standaard asynchrone communicatie-bits (start, stop en pariteit)
- onafhankelijke besturing van zenden en ontvangen
- programmeerbare seriële karakters: 5, 6, 7 of 8 bit
- genereren/detectie van even, oneven of geen pariteitsbit
- 1, 1,5 of 2 stopbits
- detectie van valse-startbit
- 3-state TTL voor bidirectionele data- en besturingsbus
- foutdetectie door loop-back en simulatie van break, overrun, pariteit en framing error
- modem-besturingsfuncties: $\overline{CTS}$, $\overline{RTS}$, $\overline{DSR}$, $\overline{DTR}$, $\overline{RI}$ en $\overline{DCD}$

LEES OOK:

Hoofdstuk 6/9.20.2
Hoofdstuk 6/9.22.2
Hoofdstuk 6/9.23.1
Hoofdstuk 6/10.10
Hoofdstuk 6/10.11



9.23 Perifere schakelingen van de 16Cxxx-familie



Figuur 6/9.23.2-1: De aansluitgegevens van de twee behuizingen van de 16C450.

- pen-compatibel met INS8250, NS16450 en NS16C450
- behuizing: 40-pens plastic DIL of 44-pens PLCC (figuur 6/9.23.2-1)
- fabrikanten:
  NatSemi: NS16450, NS16C450
  Startech: ST16C450
  Texas Instruments: TL16C450
  VLSI Technology: VL16C450
  Western Digital: WD16C450
  Exar: XR-16C450

Behuizingen, aansluitgegevens en functie van de pennen
De 16C450 wordt aangeboden in DIL-40 en in PLCC-44 behuizingen. De aansluitgegevens van beide behuizingen zijn getekend in figuur 6/9.23.2-1. De functie van de pennen wordt toegelicht in de tabel van figuur 6/9.23.2-2.

Functionele beschrijving
Aan de hand van het blokschema van figuur 6/9.23.2-3 en het overzicht van de toegankelijke registers in figuur 6/9.23.2-4 worden alle functies van de ACE beschreven. De systeemprogrammeur heeft via de CPU toegang tot en de beschikking over alle ACE-registers die in figuur 6/9.23.2-4 vermeld staan. Deze registers dienen om de ACE-operaties te besturen en data te ontvangen en te verzenden.
In figuur 6/9.23.2-5 is te zien dat deze registers met behulp van de adreslijnen A0, A1 en A2 plus DLAB bereikt kunnen worden. Onder DLAB verstaat men de Divisor Latch Access Bit, het belangrijkste bit (MSB) van het Line Control Register. Het DLAB-signaal wordt bestuurd door naar deze bitlokatie te schrijven.

Het Receiver Buffer Register (RBR)
Het ontvanggedeelte van de ACE bestaat uit een ontvang schuif register (Receiver Shift Register) en een ontvang buffer register (Receiver Buffer Register). De timing is afkomstig van de 16X Receiver Clock (RCLK). De besturing van het ontvanggedeelte is een functie van het ACE Line Control Register.

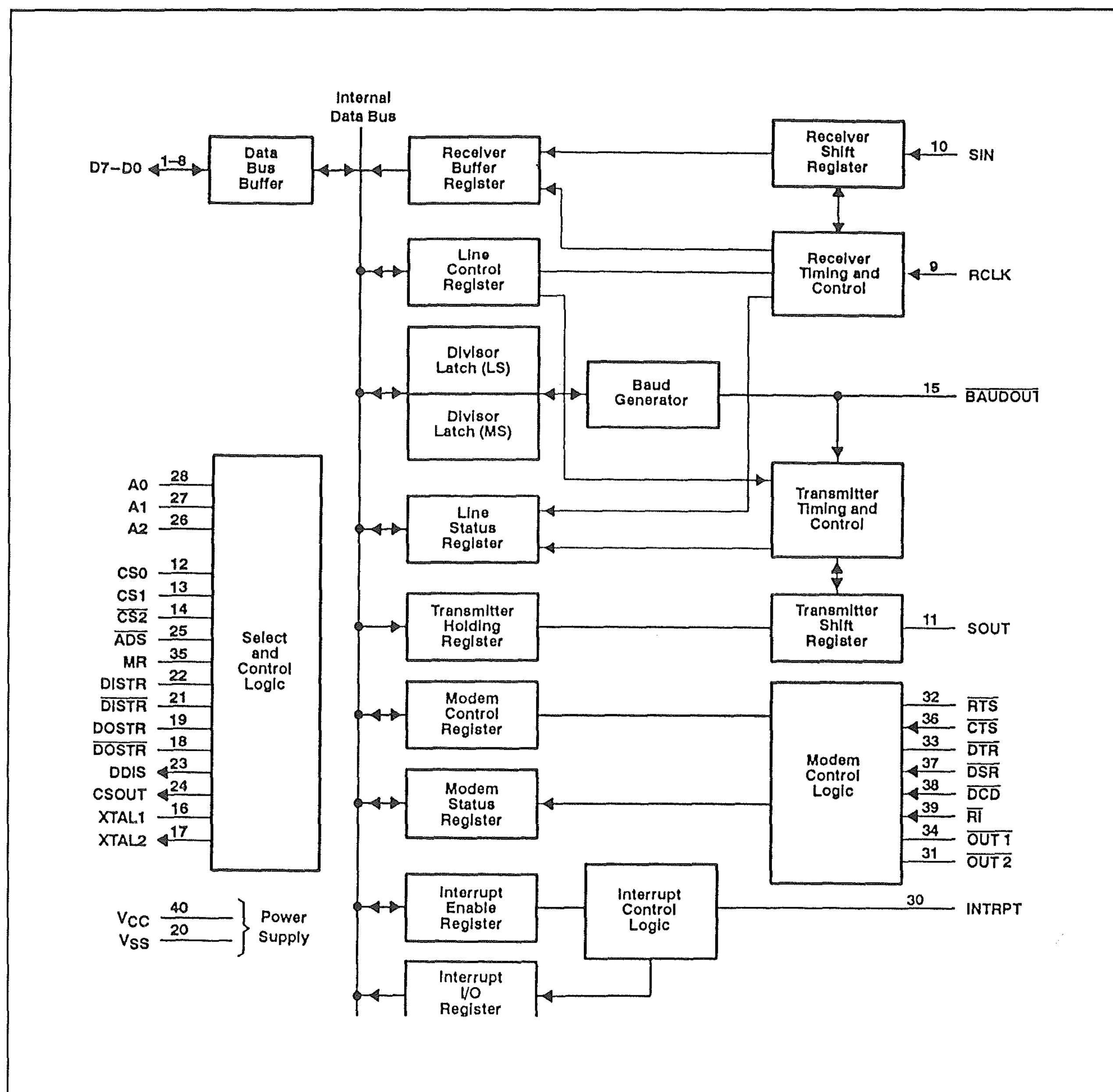
9.23 Perifere schakelingen van de 16Cxxx-familie

PIN NAME	NO.†	I/O	DESCRIPTION
A0 A1 A2	28 27 26	I	Register select. Three inputs used during read and write operations to select the ACE register to read from or write to. Refer to Table 1 for register addresses, also refer to the address strobe ($\overline{ADS}$) signal description.
$\overline{ADS}$	25	I	Address strobe. When $\overline{ADS}$ is active (low), the register select signals (A0, A1, and A2) and chip select signals (CS0, CS1, $\overline{CS2}$) drive the internal select logic directly; when high, the register select and chip select signals are held in the state they were in when the low-to-high transition of $\overline{ADS}$ occurred.
$\overline{BAUDO}$ $\overline{UT}$	15	O	Baud out. 16 X clock signal for the transmitter section of the ACE. The clock rate is established by the reference oscillator frequency divided by a divisor specified by the baud generator divisor latches. $\overline{BAUDOUT}$ may also be used for the receiver section by tying this output to the RCLK input.
CS0 CS1 $\overline{CS2}$	12 13 14	I	Chip select. When active (high and low, respectively), these three inputs select the ACE. Refer to the $\overline{ADS}$ signal description.
CSOUT	24	O	Chip select out. When CSOUT is high, it indicates that the ACE has been selected by the chip select inputs (CS0, CS1, and $\overline{CS2}$). CSOUT is low when the chip is deselected.
$\overline{CTS}$	36	I	Clear to send. $\overline{CTS}$ is a modem status signal whose condition can be checked by reading bit 4 (CTS) of the modem status register. Bit 0 (DCTS) of the modem status register indicates that this signal has changed state since the last read from the modem status register. If the modem status interrupt is enabled when $\overline{CTS}$ changes state, an interrupt is generated.
D0 D1 D2 D3 D4 D5 D6 D7	1 2 3 4 5 6 7 8	I/O	Data bus. Eight 3-state data lines provide a bidirectional path for data, control, and status information between the ACE and the CPU.
$\overline{DCD}$	38	I	Data carrier detect. $\overline{DCD}$ is a modem status signal whose condition can be checked by reading bit 7 (DCD) of the modem status register. Bit 3 (DDCD) of the modem status register indicates that this signal has changed state since the last read from the modem status register. If the modem status interrupt is enabled when the $\overline{DCD}$ changes state, an interrupt is generated.
DDIS	23	O	Driver disable. This output is active (high) when the CPU is not reading data. When active, this output can be used to disable an external transceiver.
DISTR $\overline{DISTR}$	22 21	I	Data input strobes. When either input is active (high or low, respectively) while the ACE is selected, the CPU is allowed to read status information or data from a selected ACE register. Only one of these inputs is required for the transfer of data during a read operation; the other input should be tied in its inactive state (i.e., DISTR tied low or $\overline{DISTR}$ tied high).
DOSTR $\overline{DOSTR}$	19 18	I	Data output strobes. When either input is active (high or low, respectively), while the ACE is selected, the CPU is allowed to write control words or data into a selected ACE register. Only one of these inputs is required to transfer data during a write operation; the other input should be tied in its inactive state (i.e., DOSTR tied low or $\overline{DOSTR}$ tied high).
$\overline{DSR}$	37	I	Data set ready. $\overline{DSR}$ is a modem status signal whose condition can be checked by reading bit 5 (DSR) of the modem status register. Bit 1 (DDSR) of the modem status register indicates that this signal has changed state since the last read from the modem status register. If the modem status interrupt is enabled when the $\overline{DSR}$ changes state, an interrupt is generated.
$\overline{DTR}$	33	O	Data terminal ready. When active (low), $\overline{DTR}$ informs a modem or data set that the ACE is ready to establish communication. $\overline{DTR}$ is placed in the active state by setting the DTR bit of the modem control register to a high level. $\overline{DTR}$ is placed in the inactive state either as a result of a master reset or during loop mode operation or resetting bit 0 (DTR) of the modem control register.
INTRPT	30	O	Interrupt. When active (high), INTRPT informs the CPU that the ACE has an interrupt to be serviced. Four conditions that cause an interrupt to be issued are: a receiver error, received data is available, the transmitter holding register is empty, and an enabled modem status interrupt. The INTRPT output is reset (inactivated) either when the interrupt is serviced or as a result of a master reset.
MR	35	I	Master reset. When active (high), MR clears most ACE registers and sets the state of various output signals. Refer to Table 2.
$\overline{OUT1}$ $\overline{OUT2}$	34 31	O	Outputs 1 and 2. User-designated output pins that are set to their active states by setting their respective modem control register bits (OUT 1 and OUT 2) high. $\overline{OUT\ 1}$ and $\overline{OUT\ 2}$ are set to their inactive (high) states as a result of master reset or during loop mode operations or by resetting bit 2 (OUT 1) or bit 3 (OUT 2) of the MCR.
RCLK	9	I	Receiver clock. The 16 X baud rate clock for the receiver section of the ACE.
$\overline{RI}$	39	I	Ring indicator. $\overline{RI}$ is a modem status signal whose condition can be checked by reading bit 6 (RI) of the modem status register. Bit 2 (TERI) of the modem status register indicates that the $\overline{RI}$ input has transitioned from a low to a high state since the last read from the modem status register. If the modem status interrupt is enabled when this transition occurs, an interrupt is generated.
$\overline{RTS}$	32	O	Request to send. When active, informs the modem or data set that the ACE is ready to transmit data. $\overline{RTS}$ is set to its active state by setting the RTS modem control register bit and is set to its inactive (high) state either as a result of a master reset or during loop mode operations or by resetting bit 1 (RTS) of the MCR.
SIN	10	I	Serial input. Serial data input from a connected communications device.
SOUT	11	O	Serial output. Composite serial data output to a connected communication device. SOUT is set to the marking (logic 1) state as a result of MR.
V_{CC}	40		5-V supply voltage
V_{SS}	20		Supply common
XTAL1 XTAL2	16 17	I/O	External clock. Connects the ACE to the main timing reference (clock or crystal).

† Pin numbers shown are for the N package.

Figuur 6/9.23.2-2: Korte beschrijving van de functie van de aansluitpennen.

9.23 Perifere schakelingen van de 16Cxxx-familie



Figuur 6/9.23.2-3: Het intern blokschema van de 16C450.

Het ACE ontvang schuif register krijgt seriële data binnen via de serial input-pen (SIN) en zet deze data om in parallelle vorm en laadt die in het ontvang buffer register. Wanneer een karakter in het ontvang buffer register wordt gezet en de interrupt "ontvangen data beschikbaar" is vrijgegeven, wordt een interrupt gegenereerd. Deze interrupt verdwijnt als de data uit het ontvang buffer register wordt gelezen.

Het Transmitter Holding Register (THR)

Het zendgedeelte van de ACE bestaat uit een zend houd register (Transmitter Holding Register) en een zend schuif register (Transmitter Shift Register).

9.23 Perifere schakelingen van de 16Cxxx-familie

Bit No.	REGISTER ADDRESS										
	0 DLAB = 0	0 DLAB = 0	1 DLAB = 0	2	3	4	5	6	7	0 DLAB = 1	1 DLAB = 0
	Receiver Buffer Register (Read Only)	Transmitter Holding Register (Write Only)	Interrupt Enable Register IER	Interrupt Ident. Register (Read Only)	Line Control Register LCR	Modem Control Register	Line Status Register	Modem Status Register	Scratch Register	Divisor Latch (LSB)	Latch (MSB)
	RBR	THR	IER	IIR	LCR	MCR	LSR	MSR	SCR	DLL	DLM
0	Data Bit 0*	Data Bit 0	Enable Received Data Available Interrupt (ERBF)	"0" if Interrupt Pending	Word Length Select Bit 0 (WLSO)	Data Terminal Ready (DTR)	Data Ready (DR)	Delta Clear to Send (DCTS)	Bit 0	Bit 0	Bit 8
1	Data Bit 1	Data Bit 1	Enable Transmitter Holding Register Empty Interrupt (ETBE)	Interrupt ID Bit (0)	Word Length Select Bit 1 (WLS1)	Request to Send (RTS)	Overrun Error (OE)	Delta Data Set Ready (DDSR)	Bit 1	Bit 1	Bit 9
2	Data Bit 2	Data Bit 2	Enable Receiver Line Status Interrupt (ELSI)	Interrupt ID Bit (1)	Number of Stop Bits (STB)	Out 1	Parity Error (PE)	Trailing Edge Ring Indicator (TERI)	Bit 2	Bit 2	Bit 10
3	Data Bit 3	Data Bit 3	Enable Modem Status Interrupt (EDSSI)	0	Parity Enable (PEN)	Out 2	Framing Error (FE)	Delta Data Carrier Detect (DDCD)	Bit 3	Bit 3	Bit 11
4	Data Bit 4	Data Bit 4	0	0	Even Parity Select (EPS)	Loop	Break Interrupt (BI)	Clear to Send (CTS)	Bit 4	Bit 4	Bit 12
5	Data Bit 5	Data Bit 5	0	0	Stick Parity	0	Transmitter Holding Register (THRE)	Data Set Ready (DSR)	Bit 5	Bit 5	Bit 13
6	Data Bit 6	Data Bit 6	0	0	Set Break	0	Transmitter Empty (TEMT)	Ring Indicator (RI)	Bit 6	Bit 6	Bit 14
7	Data Bit 7	Data Bit 7	0	0	Divisor Latch Access Bit (DLAB)	0	0	Data Carrier Detect (DCD)	Bit 7	Bit 7	Bit 15

*Bit 0 is the least significant bit. It is the first bit serially transmitted or received.

Figuur 6/9.23.2-4: De toegankelijke registers van de 16C450, met de functies van alle bits van deze registers.

De timing wordt geleverd door het Baud Out clock-signaal ($\overline{\text{BAUDOUT}}$). De besturing van het zendgedeelte is weer een functie van het ACE Line Control Register.

Het ACE zend houd register ontvangt data van de interne databus en brengt die over naar het zend schuif register als dit register niet in gebruik is.

Het zend schuif register zet de data om in seriële vorm en brengt die over naar de serial output-pen (SOUT). Als het zend houd register leeg is en de interrupt "zend houd register leeg" (THRE) is vrijgegeven, wordt een interrupt gegenereerd. Deze interrupt wordt verwijderd als een karakter in het register wordt geladen.

9.23 Perifere schakelingen van de 16Cxxx-familie

DLAB†	A2	A1	A0	REGISTER
0	L	L	L	Receiver buffer (read), transmitter holding register (write)
0	L	L	H	Interrupt enable
X	L	H	L	Interrupt identification (read only)
X	L	H	H	Line control
X	H	L	L	Modem control
X	H	L	H	Line status
X	H	H	L	Modem status
X	H	H	H	Scratch
1	L	L	L	Divisor latch (LSB)
1	L	L	H	Divisor latch (MSB)

† The divisor latch access bit (DLAB) is the most significant bit of the line control register. The DLAB signal is controlled by writing to this bit location (see Table 3).

Figuur 6/9.23.2-5: Het selecteren van de registers door middel van de data-lijnen A0, A1, A2 en de DLAB.

Het Interrupt Enable Register (IER)

Het interrupt enable register maakt elk van de vier typen interrupt (zie figuur 6/9.23.2-8) en het INTRPT-signaal als reactie op het opwekken van een interrupt mogelijk. Dit register kan ook worden gebruikt om het interrupt-systeem te sperren door de bits 0 tot en met 3 op logisch 0 te zetten. De mogelijke inhouden van dit register staan in figuur 6/9.23.2-4.

Het Interrupt Identification Register (IIR)

Doordat het opwekken van de interrupts en het instellen van de prioriteiten op de chip zelf gebeurt, kan de ACE op een flexibele manier met de meeste microprocessoren samenwerken. De ACE levert interrupts op vier prioriteitsniveaus:

- Prioriteit 1:
  Receiver line status (hoogste prioriteit);
- Prioriteit 2:
  Receiver data ready;
- Prioriteit 3:
  Transmitter holding register empty;
- Prioriteit 4:
  Modem status (laagste prioriteit).

Wanneer een interrupt wordt opgewekt, geeft het IIR in zijn drie minst belangrijke bits (bits 0, 1, 2) aan dat een interruptie hangt en het type ervan. De mogelijke inhoud van het register is te zien in figuur 6/9.23.2-4 en beschreven in figuur 6/9.23.2-6.

Het Line Control Register (LCR)

De programmeur kan het formaat van de asynchrone data-communicatie instellen met behulp van het lijn besturing register (Line Control Register). Bovendien kan de programmeur de inhoud van dit register opvragen, inspecteren en veranderen, waardoor het niet nodig is de lijnkarakteristieken apart in het systeemgeheugen op te slaan. De inhouden van dit register zijn te zien in figuur 6/9.23.2-4.

- Bits 0 en 1:
  Deze bits specificeren het aantal bits per verzonden of ontvangen karakter (zie figuur 6/9.23.2-7).
- Bit 2:
  Met dit bit wordt het aantal stopbits per karakter ingesteld. Is bit 2 = 0, dan wordt één stopbit in de data gegenereerd.

9.23 Perifere schakelingen van de 16Cxxx-familie

INTERRUPT IDENTIFICATION REGISTER			PRIORITY LEVEL	INTERRUPT TYPE	INTERRUPT SOURCE	INTERRUPT RESET METHOD
BIT 2	BIT 1	BIT 0				
0	0	1	None	None	None	-
1	1	0	1	Receiver line status	Overrun error, parity error, framing error or break interrupt	Reading the line status register
1	0	0	2	Received data available	Receiver data available	Reading the receiver buffer Buffer register
0	1	0	3	Transmitter holding register empty	Transmitter holding register empty	Reading the Interrupt Identification register (if source of interrupt) or writing into the transmitter holding register
0	0	0	4	Modem status	Clear to send, data set ready, ring indicator, or data carrier detect	Reading the modem status register

Figuur 6/9.23.2-6: De interrupt control functies van de 16C450.

Bit 1	Bit 0	Word Length
0	0	5 Bits
0	1	6 Bits
1	0	7 Bits
1	1	8 Bits

Figuur 6/9.23.2-7: Met de bits 0 en 1 wordt de woordlengte gekozen.

Bit 2	Word Length Selected by Bits 1 and 2	Number of Stop Bits Generated
0	Any word length	1
1	5 bits	1 1/2
1	6 bits	2
1	7 bits	2
1	8 bits	2

Figuur 6/9.23.2-8: De selectie van het aantal stopbits bij een gekozen woordlengte.

Bij bit 2 = 1, is het aantal stopbits afhankelijk van de gekozen woordlengte (zie figuur 6/9.23.2-8). De ontvanger checkt alleen het eerste stopbit, onafhankelijk van het werkelijk gekozen aantal.

- Bit 3:
  Dit bit is het pariteit-enable bit. Als bit 3 logisch 1 is, wordt een pariteitsbit opgewekt in de verzonden data tussen het laatste datawoord-bit en het eerste stopbit. Van de ontvangen data wordt de pariteit gecheckt als bit 3 logisch 1 is. Wanneer bit 3 = 0 is, wordt geen pariteit gegenereerd of gecheckt.
- Bit 4:
  Dit is het select-bit voor even pariteit. Als pariteit is vrijgegeven door bit 3, produceert een logische 1 in bit 4 even pariteit en een logische 0 in bit 4 oneven pariteit (een oneven aantal logische enen).
- Bit 5:
  Is het stick pariteitsbit. Als de bits 3, 4 en 5 logisch 1 zijn, wordt het pariteitsbit verzonden en gecheckt als een logische 0. Als bits 3 en 5 logisch 1 zijn en bit 4 logisch 0, wordt het pariteitsbit verzonden en gecheckt als een logische 1.
- Bit 6:
  Dit bit is het break-controlbit. Bit 6 wordt op logisch 1 gezet om een breakconditie te forceren, dat wil zeggen een conditie waarbij de SOUT-pen in de spacetoestand (logisch 0) wordt gedwongen. Wanneer bit 6 = 0 is, wordt de breakconditie gesperd. De breakconditie heeft geen invloed op de zend-

logika, maar alleen op het seriële uitgangssignaal.

- Bit 7:
  Dit bit is het divisor latch access-bit (DLAB).
  Bit 7 moet op logisch 1 worden gezet om toegang te verkrijgen tot de deellatches van de baud-generator tijdens het lezen of schrijven. Om het ontvang buffer register, het zend houd register of het interrupt enable register gedurende lezen of schrijven te bereiken moet bit 7 = 0 zijn.

Het Modem Control Register (MCR)

Het modem control register is een 8 bit register dat een interface met een modem, dataset of randapparaat dat een modem emuleert bestuurt. De mogelijke inhoud van dit register is weer te zien in figuur 6/9.23.2-4.

- Bit 0:
  Dit bit bestuurt de data terminal ready ($\overline{\text{DTR}}$) uitgang. Een logische 1 brengt de $\overline{\text{DTR}}$-uitgang in zijn aktieve (LAGE) toestand. Als bit 0 logisch 0 is, gaat $\overline{\text{DTR}}$ HOOG.
- Bit 1:
  Dit bit bestuurt de request to send $\overline{\text{RTS}}$ uitgang op dezelfde manier als bit 0 doet met $\overline{\text{DTR}}$.
- Bit 2:
  Regelt op dezelfde wijze het output 1-signaal ($\overline{\text{OUT1}}$) dat een door de gebruiker ingestelde functie heeft.
- Bit 3:
  Dit bit bestuurt het $\overline{\text{OUT2}}$-signaal, ook door de gebruiker in te stellen.
- Bit 4:
  Voorziet in een lokale loopback voor diagnostische test van de ACE. Als bit 4 HOOG is, gebeurt het volgende:
  - De transmitter serial output (SOUT) wordt HOOG gezet.
  - De receiver serial input (SIN) wordt losgemaakt.
  - De uitgang van het zend schuif register wordt teruggekoppeld naar de ingang van het ontvang schuif register.
  - De modem-besturingsingangen ($\overline{\text{CTS}}$, $\overline{\text{DSR}}$, $\overline{\text{DCD}}$ en $\overline{\text{RI}}$) worden losgekoppeld.
  - De modem-besturingsuitgangen ($\overline{\text{DTR}}$, $\overline{\text{RTS}}$, $\overline{\text{OUT1}}$ en $\overline{\text{OUT2}}$) worden intern verbonden met de modembesturingsingangen.
  - De vier modem-besturingsuitgangspennen worden aktief (HOOG) gemaakt.

  In de diagnostische mode wordt data, die wordt verzonden, onmiddellijk ontvangen. Hierdoor kan de processor de zend en ontvang datapaden naar de ACE verifiëren.
  De interrupts van ontvanger en zender zijn volledig operationeel. Ook de interrupts van de modembesturing zijn operationeel, maar de interruptbronnen van de modembesturing zijn nu de laagste vier bits van het modem control register in plaats van de vier modem-control ingangen.
  Alle interrupts worden nog steeds bestuurd door het interrupt enable register.
- Bits 5, 6 en 7:
  Deze drie bits worden op logisch 0 gezet.

Het Line Status Register (LSR)

Het lijn status register (Line Status Register) wordt normaal alleen uitgelezen. Het verschaft de CPU informatie over de status van de data-overdrachten. De mogelijke inhoud van dit register wordt getoond in figuur 6/9.23.2-4.

- Bit 0:

Dit bit is de data ready (DR) indicator van de ontvanger.
Wanneer een compleet karakter is ontvangen en overgebracht naar het ontvang buffer register wordt bit 0 logisch 1. Wordt het ontvang buffer register uitgelezen dan wordt bit 0 weer logisch 0.

- Bit 1:
  Dit bit is de overrun (OE) indicator. Wanneer bit 1 = 1 is, betekent dit dat het karakter in het ontvang buffer register door het volgende karakter werd overschreven voordat het werd uitgelezen. De OE-indicator wordt iedere keer gereset als de CPU de inhoud van het lijn status register leest.
- Bit 2:
  Is de indicator voor pariteitsfouten (PE). Bit 2 wordt logisch 1 als de pariteit van het ontvangen data-karakter niet overeenkomt met de pariteit die in het lijn besturings register (bit 4) werd gekozen. Ook het PE-bit wordt gereset, telkens als de CPU de inhoud van het lijn status register leest.
- Bit 3:
  Dit bit dient als framing-error (FE) indicator. Wanneer dit bit logisch 1 wordt, wil dat zeggen dat het ontvangen karakter geen geldig (logisch 1) stopbit had. Het FE-bit wordt iedere keer gereset als de CPU de inhoud van het lijn status register leest.
- Bit 4:
  Dit bit is de break interrupt (BI) indicator. Als dit bit logisch 1 wordt, werd de received data-ingang langer op logisch 0 gehouden dan de transmissietijd van een volledig woord (= de totale tijd voor start-, data-, pariteit en stopbits). Het BI-bit wordt bij elke uitlezing van het lijn status register gereset.
- Bit 5:
  Dit bit is de transmitter holding register empty (THRE) indicator en wordt logisch 1 als het zend houd register leeg is om aan te geven dat de ACE klaar staat om een nieuw karakter te ontvangen. Als de THRE interrupt is vrijgegeven wanneer het THRE-bit logisch 1 is, wordt een interrupt gegenereerd. THRE gaat naar logisch 1 op het moment dat de inhoud van het zend houd register wordt overgebracht naar het zend schuif register. THRE wordt gereset wanneer het register door de CPU wordt geladen.
- Bit 6:
  Dit bit dient als transmitter empty (TEMT) indicator die logisch 1 wordt wanneer zowel het zend houd register als het zend schuif register leeg zijn. Zodra één van beide registers een datakarakter bevat wordt het TEMT-bit weer logisch 0.
- Bit 7:
  Dit bit staat altijd op logisch 0.

Het Modem Status Register (MSR)
Het modem status register is een 8 bit register dat de CPU informatie levert over de huidige toestand van de besturingslijnen van de modem, de data-set of een randapparaat. Bovendien worden veranderingen door vier bits van dit register gemeld: wanneer een besturingssignaal van de modem van toestand verandert, gaat het overeenkomstig bit naar logisch 1.
Wanneer het modem status register door de CPU wordt uitgelezen, resetten alle vier bits naar logisch 0. Figuur 6/9.23.2-4 geeft weer een overzicht van de mogelijke inhouden van dit register.

- Bit 0:
  Is de delta clear to send (DCTS) indicator. Hiermee wordt aangegeven dat de

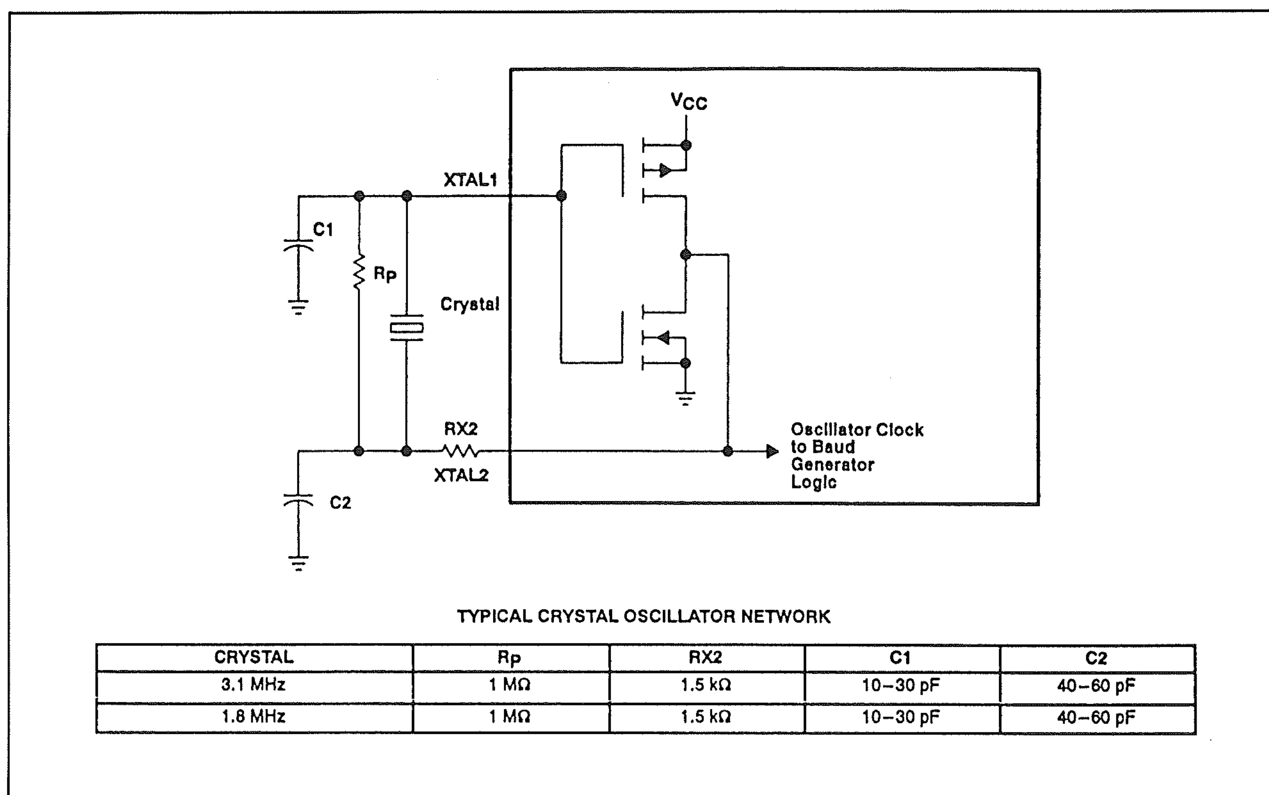
$\overline{\text{CTS}}$-ingang van toestand is veranderd sinds de laatste keer dat deze werd uitgelezen. Wanneer de DCTS-bit logisch 1 is en de modem-status interrupt is vrijgegeven, wordt een modem-status interrupt gegenereerd.

- Bit 1:
  Dit bit is de delta data set ready (DDSR) indicator, deze geeft aan dat de $\overline{\text{DSR}}$-ingang na de laatste uitlezing van toestand is veranderd. Wanneer het DDSR-bit logisch 1 en de modem-status interrupt is vrijgegeven, wordt een modem-status interrupt gegenereerd.
- Bit 2:
  Dit bit is de trailing edge of ring indicator (TERI) detector. Dit bit geeft aan dat de $\overline{\text{RI}}$-ingang naar de chip is veranderd van een LAGE in een HOGE toestand. Wanneer het TERI-bit logisch 1 is, terwijl de modem-status interrupt is vrijgegeven, wordt een modem-status interrupt gegenereerd.
- Bit 3:
  Dit is de delta data carrier detect (DDCD) indicator. Hiermee wordt aangegeven dat het $\overline{\text{DCD}}$-signaal naar de chip van toestand is veranderd sinds de laatste keer dat bit 3 door de CPU werd uitgelezen. Wanneer de modem-status interrupt is vrijgegeven en het DDCD-bit naar logisch 1 gaat, wordt een modem-status interrupt gegenereerd.
- Bit 4:
  Dit bit vormt het complement van de clear to send ($\overline{\text{CTS}}$) ingang. Als bit 4 (loop) van het modem besturing register logisch 1 wordt, is dit bit equivalent aan het modem besturing register bit 1 (RTS).
- Bit 5:
  Dit bit is het complement van het data set ready ($\overline{\text{DSR}}$)-signaal. Als bit 4 (loop) van het modem besturing register logisch 1 is gemaakt, is dit bit equivalent aan het modem besturing register bit 0 (DTR).
- Bit 6:
  Dit bit vormt het complement van het ring indicator ($\overline{\text{RI}}$)-signaal. Als bit 4 (loop) van het modem besturing register logisch 1 wordt, is dit bit equivalent aan het modem besturing register bit 2 (OUT1).
- Bit 7:
  Dit bit is het complement van de data carrier detect ($\overline{\text{DCD}}$)-ingang. Als bit 4 (loop) van het modem besturing register logisch 1 is, is dit bit equivalent aan het modem besturing register bit 3 (OUT2).

Het Scratch Register (SCR)
Het scratch register is een 8 bit register dat door de gebruiker kan worden gebruikt als een kladpapiertje: hierin kan tijdelijk data worden opgeslagen zonder dat het de werking van de ACE beïnvloedt.

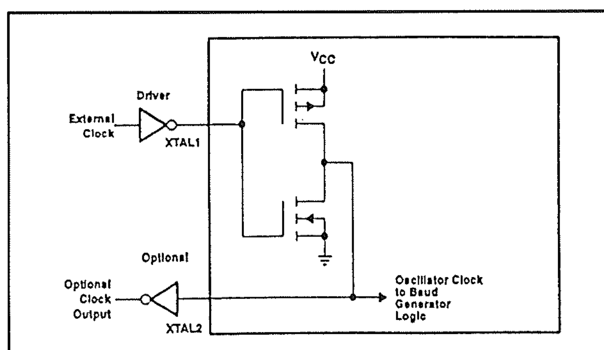
De Programmable Baud Generator
De ACE bevat een programmeerbare baud-generator die clock-signalen tussen 0 (DC) en 9 MHz accepteert en deze deelt door een getal tussen 1 en (2^{16}-1). De uitgangsfrequentie is zestien maal (16X) de baud-rate.
In figuur 6/9.23.2-9 is getekend hoe een kristal op de XTAL1 en XTAL2 ingangen moet worden aangesloten. Uiteraard kan ook van een reeds aanwezige clock gebruik worden gemaakt volgens figuur 6/9.23.2-10.
De timing van de baudgenerator wordt getoond in figuur 6/9.23.2-11. Twee 8 bit registers (delerlatches) worden gebruikt voor de opslag van de deler in een 16 bit binair formaat.

9.23 Perifere schakelingen van de 16Cxxx-familie



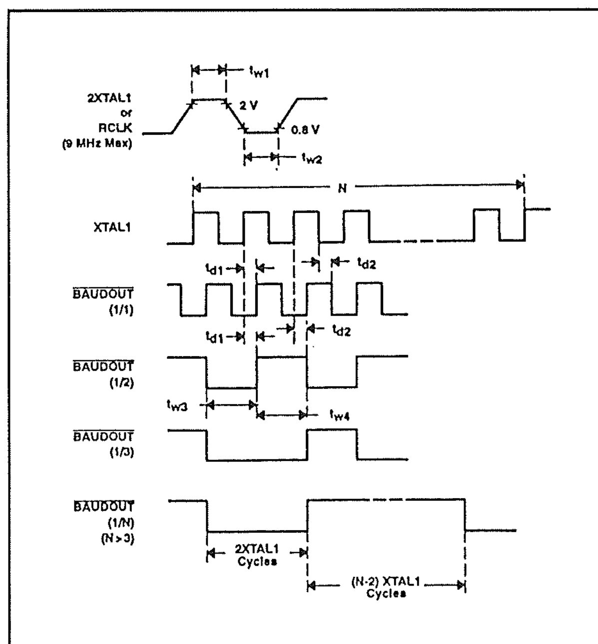
CRYSTAL	Rp	RX2	C1	C2
3.1 MHz	1 MΩ	1.5 kΩ	10–30 pF	40–60 pF
1.8 MHz	1 MΩ	1.5 kΩ	10–30 pF	40–60 pF

Figuur 6/9.23.2-9: Het aansturen van de interne baud-generator door een extern kristal.



Figuur 6/9.23.2-10: Het aansturen van de baud-generator door een extern clock-signaal.

Deze latches moeten gedurende de initialisatie van de ACE worden geladen om de baud-generator correct te laten werken.



Figuur 6/9.23.2-11: De timing van de interne baud-generator.

9.23 Perifere schakelingen van de 16Cxxx-familie

DESIRED BAUD RATE	DIVISOR USED TO GENERATE 16 X CLOCK	PERCENT ERROR DIFFERENCE BETWEEN DESIRED AND ACTUAL
50	2304	
75	1536	
110	1047	0.026
134.5	857	0.058
150	768	
300	384	
600	192	
1200	96	
1800	64	
2000	58	0.69
2400	48	
3600	32	
4800	24	
7200	16	
9600	12	
19200	6	
38400	3	
56000	2	2.86

Figuur 6/9.23.2-12: Baud-rates bij gebruik van een kristal met een frequentie van 1,8432 MHz.

DESIRED BAUD RATE	DIVISOR USED TO GENERATE 16 X CLOCK	PERCENT ERROR DIFFERENCE BETWEEN DESIRED AND ACTUAL
50	3840	
75	2560	
110	1745	0.026
134.5	1428	0.034
150	1280	
300	640	
600	320	
1200	160	
1800	107	0.312
2000	96	
2400	80	
3600	53	0.628
4800	40	
7200	27	1.23
9600	20	
19200	10	
38400	5	

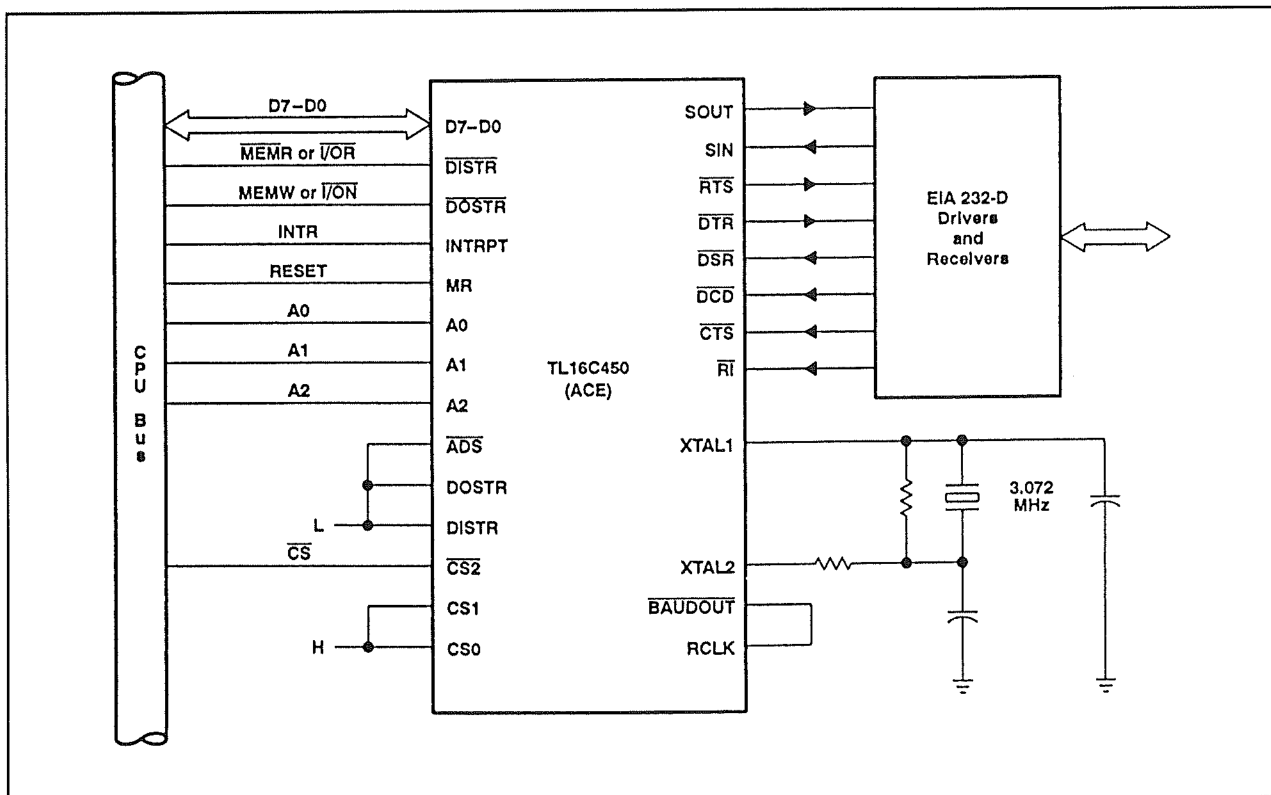
Figuur 6/9.23.2-13: Mogelijke Baud-rates bij toepassing van een kristal met een frequentie van 3,072 MHz.

REGISTER/SIGNAL	RESET CONTROL	RESET STATE
Interrupt Enable Register	Master Reset	All bits low (0–3 forced and 4–7 permanent)
Interrupt Identification Register	Master Reset	Bit 0 is high, bits 1 and 2 are low, and bits 3–7 are permanently low
Line Control Register		All bits low
Modem Control Register	Master Reset	All bits low
Line Status Register	Master Reset	Bits 5 and 6 are high, all other bits are low
Modem Status Register	Master Reset	Bits 0–3 are low, bits 4–7 are input signals
SOUT	Master Reset	High
INTRPT (receiver error flag)	Read LSR/MR	Low
INTRPT (received data available)	Read RBR/MR	Low
INTRPT (transmitter holding register empty)	Read IIR/Write THR/MR	Low
INTRPT (modem status changes)	Read MSR/MR	Low
$\overline{OUT}$ 2	Master Reset	High
$\overline{RTS}$	Master Reset	High
$\overline{DTR}$	Master Reset	High
$\overline{OUT}$ 1	Master Reset	High
Scratch Register	Master Reset	No effect
Divisor Latch (LSB and MSB) Register	Master Reset	No effect
Receiver Buffer Register	Master Reset	No effect
Transmitter Holding Register	Master Reset	No effect

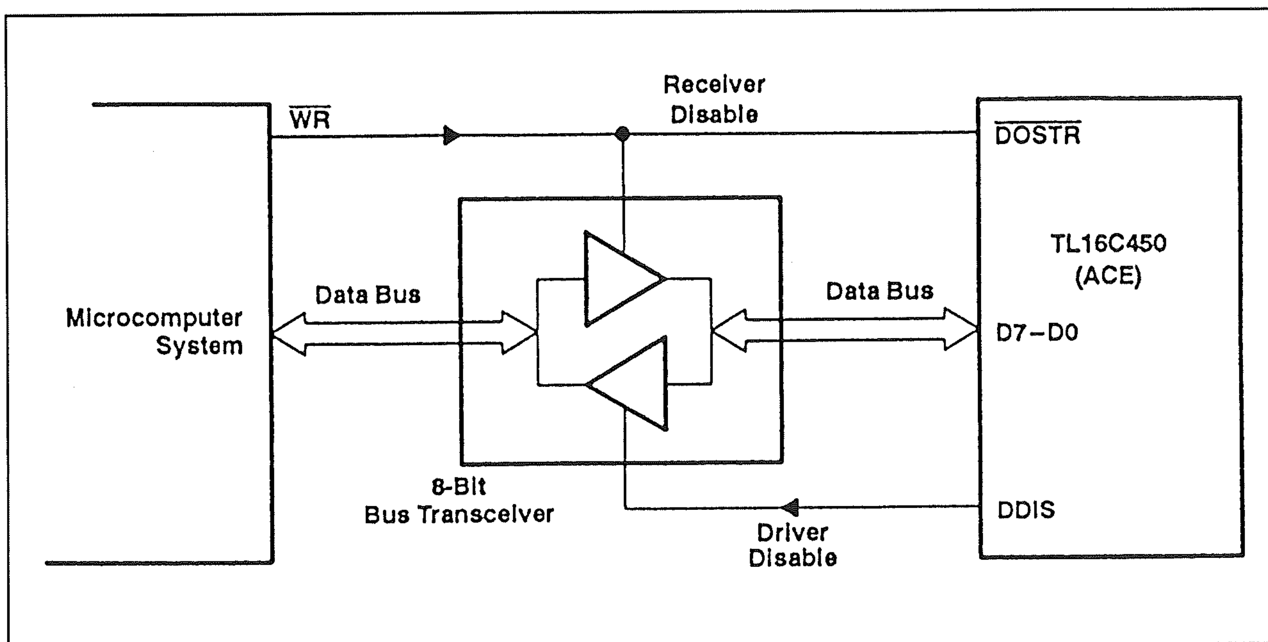
Figuur 6/9.23.2-14: Overzicht van de reset-functies van de 16C450.

Wanneer één van beide latches wordt geladen, wordt ook een 16 bit baud-teller geladen om te lang tellen aan het begin van het laden te vermijden.

9.23 Perifere schakelingen van de 16Cxxx-familie

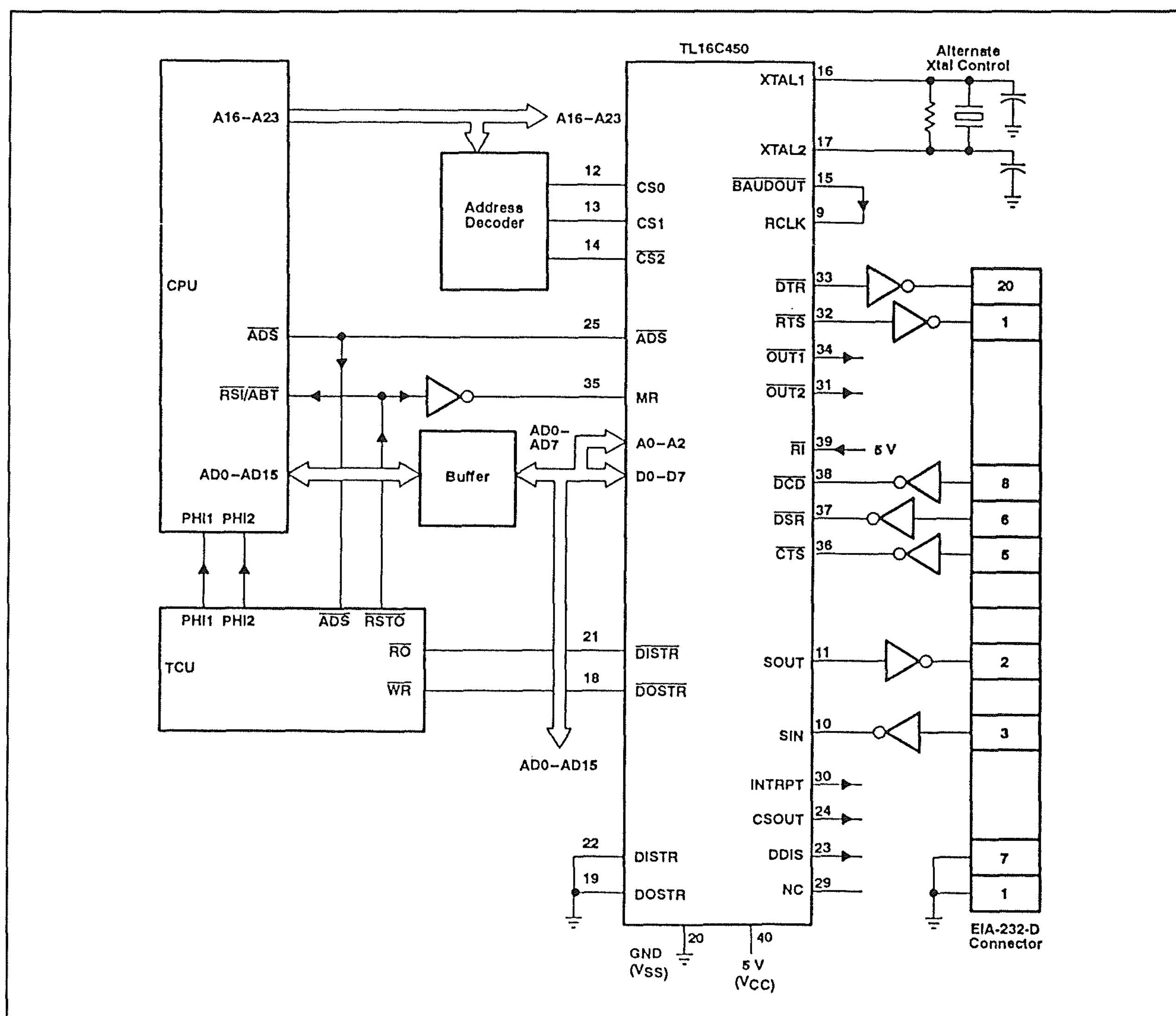


Figuur 6/9.23.2-15: De principiële configuratie van een 16C450.



Figuur 6/9.23.2-16: Het aansluiten van een 16C450 op een zeer snelle data-bus kan het best via transceivers.

9.23 Perifere schakelingen van de 16Cxxx-familie



Figuur 6/9.23.2-17: Een praktische schakeling rond een 16C450.

In de figuren 6/9.23.2-12 en -13 zijn de baud-rates bij kristalfrequenties van 1,8432 respectievelijk 3,072 MHz te zien.

De reset-functies

In de tabel van figuur 6/9.23.2-14 is een overzicht gegeven van de reset-functies van de 16C450.

Praktische configuraties

De 16C450 kan volgens het principiële schema van figuur 6/9.23.2-15 opgenomen worden tussen de data-bus van een microprocessorsysteem en de RS-232 zenders en ontvangers die de seriële communicatie regelen.

Heeft men een systeem met een zeer snelle data-bus, dan is het verstandig tussen deze bus en de in/uitgangen van de 16C450 snelle bus transceivers op te nemen.

Een voorbeeldje van deze techniek is getekend in figuur 6/9.23.2-16.

Tot slot geeft figuur 6/9.23.2-17 een praktisch toepassingsvoorbeeld van de 16C450 in een computerconfiguratie.

De 16C451 en 16C452

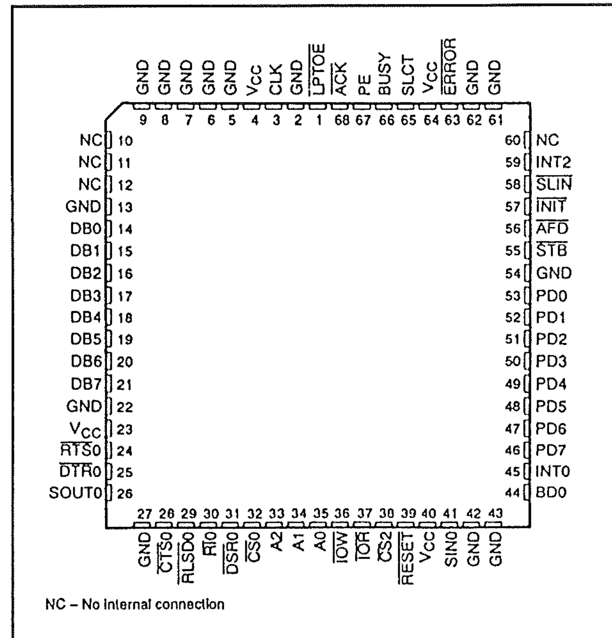
De 16C451 is in feite een 16C450, uitgebreid met een Centronics printer-interface. De 16C452 is de dubbele uitvoering hiervan: twee maal 16C450 plus Centronics printer-interface.

De seriële interfaces zetten de seriële data, afkomstig van een randapparaat of een modem, om in parallelle data voor de CPU en omgekeerd. De parallelle interface vormt een bidirectionele parallelle data-poort die volledig voldoet aan de eisen die door een printer van het Centronics-type worden gesteld. Een CPU kan te allen tijde de status van het Asynchrone Communicatie Element (ACE) opvragen. Hieronder wordt onder andere verstaan:

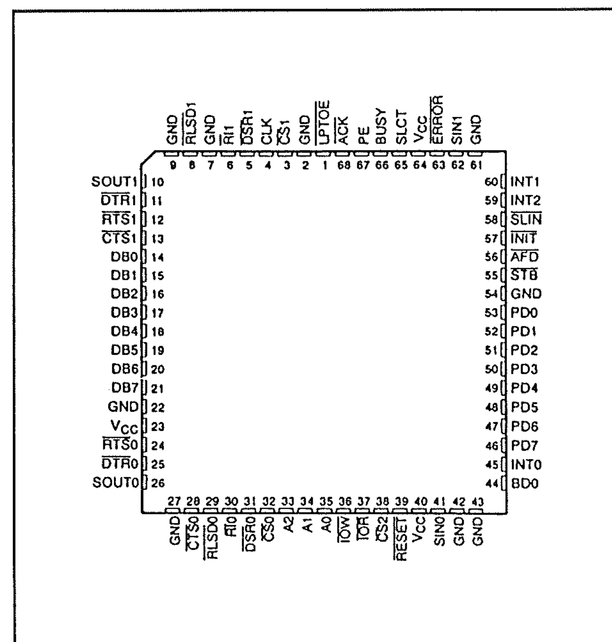
- de toestand van de modem-signalen ($\overline{CTS}$, $\overline{DSR}$, $\overline{RLSD}$ en RI) en eventuele veranderingen van deze signalen sinds de laatste keer dat deze werden uitgelezen;
- de toestand van de zender en ontvanger, inclusief foutmeldingen en status van de printer.

Kenmerken van de 16C451 en 16C452

- kan bijna alle communicatie-functies van IBM PC/AT met één- of tweekanaals seriële poorten uitvoeren
- 16C451:
- één 16C450 + Centronics printer-interface
- 16C452:
- twee 16C450's + Centronics-interface
- programmeerbare baud-rate generator (0 tot 256 kb/s)
- dubbele buffering voor asynchroon bedrijf
- programmeerbare seriële karakters: 5, 6, 7 of 8 bit
- genereren/detecteren van even, oneven of geen pariteitsbit
- programmeerbaar: 1, 1,5 of 2 stopbits



Figuur 6/9.23.2-18: de aansluitgegevens van de PLCC-68 behuizing van de 16C451.



Figuur 6/9.23.2-19: De aansluitgegevens van de 16C452.

9.23 Perifere schakelingen van de 16Cxxx-familie

PIN NAME†	PIN NO.	I/O	DESCRIPTION
A0 A1 A2	35 34 33	I	Register select. Three inputs used during read and write operations to select the register to read from or write to. Refer to Table 1 for register addresses, also refer to the chip select signals ($\overline{CS}$0, $\overline{CS}$1, $\overline{CS}$2).
$\overline{ACK}$	68	I	Line printer acknowledge. This input goes low to indicate a successful data transfer has taken place. It generates a printer-port interrupt during its positive transition.
$\overline{AFD}$	56	I/O	Line printer autofeed. This open-drain line provides the line printer with a low signal when continuous-form paper is to be autofed to the printer. An internal pullup is provided.
BDO	44	O	Bus buffer output. This output is active (high) when the CPU is reading data. When active, this output can be used to disable an external transceiver.
BUSY	66	I	Line printer busy. This is an input line from the line printer that goes high when the line printer is not ready to accept data.
CLK	4	I/O	External clock. Connects the ACE to the main timing reference.
$\overline{CS}$0 $\overline{CS}$1 [V_{CC}] $\overline{CS}$2	32 3 38	I	Chip selects. Each chip select enables read and write operations to its respective channel. $\overline{CS}$0 and $\overline{CS}$1 select serial channels 0 and 1, respectively, and $\overline{CS}$2 selects the parallel port.
$\overline{CTS}$0 $\overline{CTS}$1 [GND]	28 13	I	Clear to send. $\overline{CTS}$ is an active-low modem status signal whose state can be checked by reading bit 4 (CTS) of the modem status register. Bit 0 (DCTS) of the modem status register indicates that this signal has changed state since the last read from the modem status register. If the modem status interrupt is enabled when $\overline{CTS}$ changes state, an interrupt is generated.
DB0 DB1 DB2 DB3 DB4 DB5 DB6 DB7	14 15 16 17 18 19 20 21	I/O	Data bus. Eight 3-state data lines provide a bidirectional path for data, control, and status information between the TL16C451/TL16C452 and the CPU. DBO is the least significant bit (LSB).
$\overline{DSR}$0 $\overline{DSR}$1 [GND]	31 5	I	Data set ready. $\overline{DSR}$ is an active-low modem status signal whose state can be checked by reading bit 5 (DSR) of the modem status register. Bit 1 (DDSR) of the modem status register indicates that this signal has changed state since the last read from the modem status register. If the modem status interrupt is enabled when the $\overline{DSR}$ changes state, an interrupt is generated.
$\overline{DTR}$0 $\overline{DTR}$1 [NC]	25 11	O	Data terminal ready. When active (low), $\overline{DTR}$ informs a modem or data set that the ACE is ready to establish communication. $\overline{DTR}$ is placed in the active state by setting the DTR bit of the modem control register to a high level. $\overline{DTR}$ is placed in the inactive state either as a result of a reset or during loop mode operation or resetting bit 0 (DTR) of the modem control register.
$\overline{ERROR}$	63	I	Line printer error. This is an input line from the line printer. The line printer reports an error by holding this line low during the error condition.
$\overline{INIT}$	57	I/O	Line printer initialize. This open-drain line provides the line printer with a signal that allows the line printer initialization routine to be started. An internal pullup is provided.
INT0 INT1 [NC]	45 60	O	Interrupt. INTn is an active-high 3-state output that is enabled by bit 3 of the MCR. When active, INTn informs the CPU that the ACE has an interrupt to be serviced. Four conditions that cause an interrupt to be issued are: a receiver error, received data is available, the transmitter holding register is empty, and an enabled modem status interrupt. The INTn output is reset (low) either when the interrupt is serviced or as a result of a reset.
INT2	59	O	Printer port interrupt. This signal is an active-high 3-state output generated by the positive transition of $\overline{ACK}$. It is enabled by bit 4 of the write control register.
$\overline{IOR}$	37	I	Data read strobe. When $\overline{IOR}$ input is active (low) while the ACE is selected, the CPU is allowed to read status information or data from a selected ACE register.
$\overline{IOW}$	66	I	Data write strobe. When $\overline{IOW}$ input is active (low) while the ACE is selected, the CPU is allowed to write control words or data into a selected ACE register.

† Names shown in brackets are for the TL16C451.

Figuur 6/9.23.2-20: Overzicht van de penfuncties van de 16C451 en 16C452, deel 1.

9.23 Perifere schakelingen van de 16Cxxx-familie

PIN NAME†	PIN NO.	I/O	DESCRIPTION
LPTOE	1	I	Parallel data output enable. When low, this signal enables the write data register to the PD0–PD7 lines. A high puts the PD0–PD7 lines in the high-impedance state allowing them to be used as inputs. LPTOE is usually tied low for line printer operation.
PD0–PD7	53–46	I/O	Parallel data bits (0–7). These eight lines provide a byte-wide input or output port to the system. The eight lines are held in a high-impedance state when LPTOE is high.
PE	67	I	Line printer paper empty. This is an input line from the line printer that goes high when the printer runs out of paper.
RESET	39	I	Reset. When active (low), RESET clears most ACE registers and sets the state of various output signals. Refer to Table 2.
RI0 RI1 [GND]	30 6	I	Ring indicator. RI is an active-low modem status signal whose state can be checked by reading bit 6 (RI) of the modem status register. Bit 2 (TERI) of the modem status register indicates that the RI input has transitioned from a low to a high state since the last read from the modem status register. If the modem status interrupt is enabled when this transition occurs, an interrupt is generated.
RLSD0 RLSD1 [GND]	29 8	I	Receive line signal detect. RLSD0 is an active-low modem status signal whose state can be checked by reading bit 7 of the modem status register. Bit 3 (DRLSD) of the modem status register indicates that this signal has changed state since the last read from the modem status register. If the modem status interrupt is enabled when RLSD0 changes state, an interrupt is generated. This bit is low when a data carrier is detected.
RTS0 RTS1 [NC]	24 12	O	Request to send. When active (low), this signal informs the modem or data set that the ACE is ready to transmit data. RTS is set to its active state by setting the RTS modem control register bit and is set to its inactive (high) state either as a result of a reset or during loop mode operations or by resetting bit 1 (RTS) of the modem control register.
SIN0 SIN1 [GND]	41	I	Serial input. Serial data input from a connected communications device.
SLCT	65	I	Line printer selected. This is an input line from the line printer that goes high when the line printer has been selected.
SLIN	58	I/O	Line printer select. This open-drain line selects the printer when it is active (low). An internal pullup is provided.
SOUT0 SOUT1 [NC]	26 10	I	Serial output. Composite serial data output to a connected communication device. SOUT is set to the marking (logic 1) state as a result of reset.
STB	55	I/O	Line printer strobe. This open-drain line provides communication synchronization between the TL16C451/TL16C452 and the line printer. When it is active (low), it provides the line printer with a signal to latch the data currently on the parallel port. An internal pullup is provided.
V_{CC}	23,40, 64		5-V supply voltage
GND	2,7,9 22,27,42, 43,54,61		Supply common

† Names shown in brackets are for the TL16C451.

Figuur 6/9.23.2-21: Overzicht van de penfuncties van de 16C451 en 16C452, deel 2.

- fabrikanten:
  NatSemi: NS16451
  Startech: ST16C452
  Texas Instruments:
  TL16C451, TL16C452
  VLSI Technology: VL16C452
  Western Digital: WD16C452
  Exar: XR-16C452

Aansluitgegevens en functie van de pennen

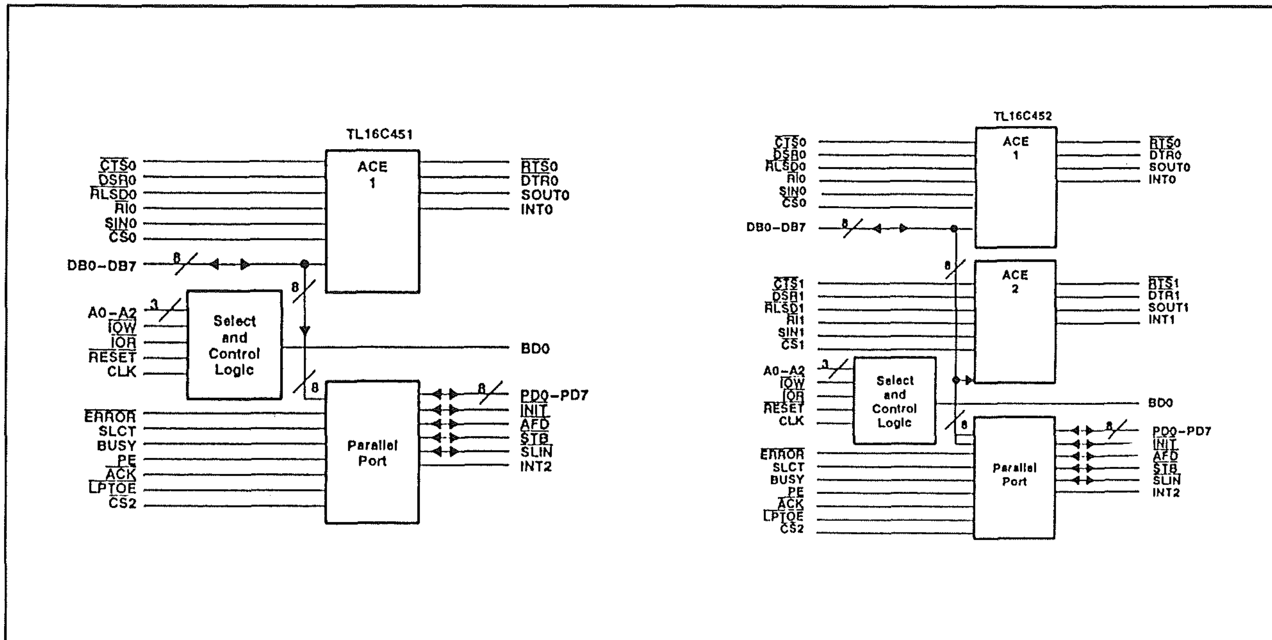
Beide schakelingen zijn verkrijgbaar in PLCC-68 behuizing. De aansluitgegevens van de 16C451 zijn weergegeven in figuur 6/9.23.2-18, deze van de 16C452 in figuur 6/9.23.2-20.

Hoewel er natuurlijk grote gelijkenis bestaat in de penfuncties van de reeds beschreven 16C450 en deze twee IC's, worden in de figuren 6/9.23.2-20 en -21 toch nog maar eens een volledig overzicht gegeven. De tussen haakjes vermelde gegevens gelden voor de 16C451.

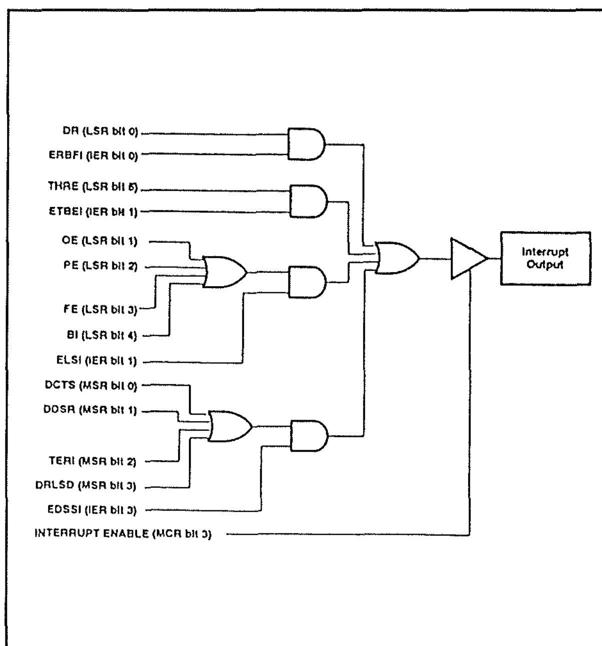
Interne blokschema's

De interne blokschema's van beide schakelingen zijn weergegeven in figuur 6/9.23.2-22.

9.23 Perifere schakelingen van de 16Cxxx-familie



Figuur 6/9.23.2-22: De intern blokschema's van de 16C451 en de 16C452.



Figuur 6/9.23.2-23: De opbouw van de interne interrupt besturingslogika.

De seriële interfaces

De seriële interfaces van de 16C451 en 16C452 zijn volledig compatible met deze van de 16C450. Voor een beschrijving van alle registers wordt dan ook naar dat IC verwezen.

Interrupt Control Logic

De interne logika die voor de uitvoering van de verschillende interrupts wordt toegepast, is getekend in figuur 6/9.23.2-23.

De parallelle poortregisters

Het enige wezenlijke verschil tussen de 16C450 en de 16C451 respectievelijk 16C452 is de aanwezigheid van parallelle poortregisters. Met behulp van deze poortregisters kunnen beide ACE's op een printer van het Centronics-type worden aangesloten. Als de chip-select2 ($\overline{CS2}$) LAAG is, is de parallelle poort geselecteerd.

In figuur 6/9.23.2-24 zijn de registers samengevat die aan deze parallelle poort zijn verbonden.

In figuur 6/9.23.2-25 is weergegeven hoe deze registers door middel van de adreslijnen A1 en A0 en de signalen $\overline{IOR}$, $\overline{IOW}$ en $\overline{CS2}$ geselecteerd kunnen worden.

9.23 Perifere schakelingen van de 16Cxxx-familie

REGISTER	REGISTER BITS							
	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
Read Data	PD7	PD6	PD5	PD4	PD3	PD2	PD1	PD0
Read Status	$\overline{\text{BUSY}}$	$\overline{\text{ACK}}$	PE	SLCT	$\overline{\text{ERROR}}$	1	1	1
Read Control	1	1	1	IRQ ENB	SLIN	$\overline{\text{INIT}}$	AFD	STB
Write Data	PD7	PD6	PD5	PD4	PD3	PD2	PD1	PD0
Write Control	1	1	1	IRQ ENB	SLIN	$\overline{\text{INIT}}$	AFD	STB

Figuur 6/9.23.2-24: De parallelle poortregisters en de functies van hun bits.

De lees- of schrijffunctie van het register wordt geregeld door de toestand van de lees- ($\overline{\text{IOR}}$) en schrijf- ($\overline{\text{IOW}}$) pennen. Het Read Data Register stelt de CPU in staat om de informatie op de parallelle bus te lezen, terwijl het Read Status Register de status van de printer bekijkt die beschikbaar is in de vijf belangrijkste bits. Het zijn de bekende handshake functies:
- printer bezig ($\overline{\text{BUSY}}$);
- acknowledge ($\overline{\text{ACK}}$);
- paper empty (PE);
- printer selected (SLCT);
- error ($\overline{\text{ERROR}}$).

Met het Read Control Register kan de toestand van de besturingslijnen worden uitgelezen. Het Write Control Register zet de besturingslijnen op de juiste waarden:
- interrupt enable (IRQ ENB);
- select in (SLIN);
- initialize printer ($\overline{\text{INIT}}$);
- autofeed paper (AFD);
- strobe (STB).

Hiermee wordt de printer ingelicht over de aanwezigheid van een geldig byte op de parallelle bus. Door een reset worden deze signalen op 0 gezet.

CONTROL PINS					REGISTER SELECTED
$\overline{\text{IOR}}$	$\overline{\text{IOW}}$	$\overline{\text{CS2}}$	A1	A0	
L	H	L	L	L	Read Data
L	H	L	L	H	Read Status
L	H	L	H	L	Read control
L	H	L	H	H	Invalid
H	L	L	L	L	Write Data
H	L	L	L	H	Invalid
H	L	L	H	L	Write Control
H	L	L	H	H	Invalid

Figuur 6/9.23.2-25: De adressering van de parallelle poortregisters.

De 16C454

De 16C454 is een viervoudige universele asynchrone zender en ontvanger (UART) met modem-besturing. De 16C454 is een verbeterde (snellere) en uitgebreide versie van de 16C450. Deze UART heeft een programmeerbare baud-rate generator waarmee kloksnelheden voor zenden en

ontvangen instelbaar zijn tussen 50 Hz en 448 kHz. De 16C454 beschikt over interne statusregisters die informatie over eventuele fouten en de toestand en de typen data-overdracht verstrekken. Ook is een komplete inrichting voor het besturen van modems aanwezig, plus een processor-interrupt systeem dat met software kan worden aangepast aan de eisen van de gebruiker. Voor het testen van de 16C454 kan een interne loop-back worden toegepast.

Kenmerken van de 16C454

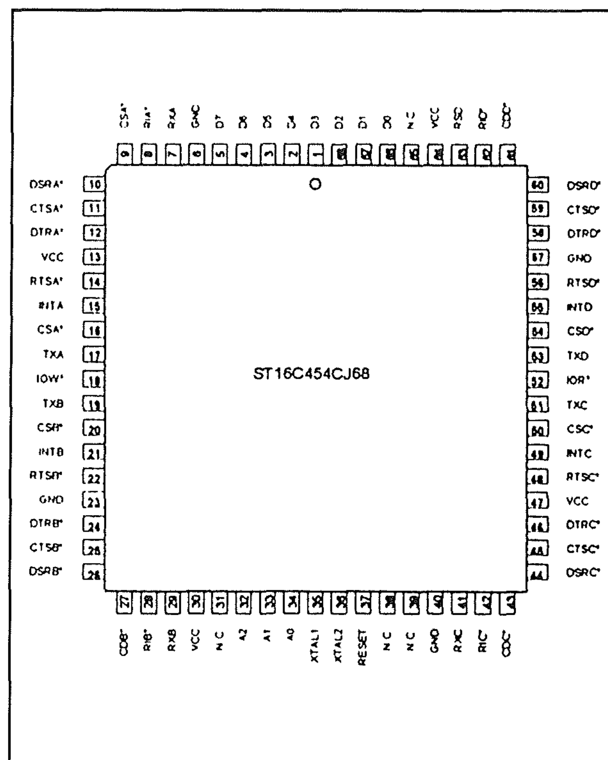
- 4 x 16C450 UART's op één chip
- pen-compatibel met 16C554
- modem-besturingsfuncties: $\overline{\text{CTS}}$, $\overline{\text{RTS}}$, $\overline{\text{DSR}}$, $\overline{\text{DTR}}$, $\overline{\text{RI}}$ en $\overline{\text{DCD}}$
- programmeerbare karakter-lengten: 5, 6, 7 of 8 bit
- genereren/detecteren van even, oneven of geen pariteitsbit
- onafhankelijke besturing van zenden en ontvangen
- status-register
- onafhankelijke besturing van zenden en ontvangen
- TTL-compatibele in- en uitgangen
- 448 kHz ontvangen/zenden met 7,372 MHz kristal of externe frequentie
- fabrikant: Startech (ST16C454)

Aansluitgegevens en functie van de pennen

De 16C454 is ondergebracht in een PLCC-behuizing met 68 pennen.
De aansluitgegevens zijn voorgesteld in figuur 6/9.23.2-26. De functie van de pennen volgt uit de overzichten van de figuren 6/9.23.2-27 en -28.

Functionele beschrijving

Hoewel de functies van de 16C454 veel gelijkenis vertonen met deze van de tragere broeder 16C450, worden deze toch in het kort volledig beschreven. Met behulp van het intern blokschema van figuur 6/9.23.2-29 en het overzicht van de toegankelijke registers van figuur 6/9.23.2-30 valt dit niet zo moeilijk! Alle vermelde registers zijn via de processor bereikbaar. Zoals in figuur 6/9.23.2-31 te zien is, kunnen deze registers met behulp van de adreslijnen A0, A1 en A2 worden geselecteerd.



Figuur 6/9.23.2-26: De aansluitgegevens van de 16C454.

9.23 Perifere schakelingen van de 16Cxxx-familie

Symbol	Pin	Signal Type	Pin Description
D0-D7	5-66	I/O	Bi-directional data bus. Eight bit, three state data bus to transfer information to or from the CPU. D0 is the least significant bit of the data bus and the first serial data bit to be received or transmitted.
RX A-B RX C-D	7,29 41,63	I	Serial data input. The serial information (data) received from serial port to ST16C454 receive input circuit. A mark (high) is logic one and a space (low) is logic zero. During the local loopback mode the RX input is disabled from external connection and connected to the TX output internally.
TX A-B TX C-D	17,19 51,53	O	Serial data output. The serial data is transmitted via this pin with additional start, stop and parity bits. The TX will be held in mark (high) state during reset, local loopback mode or when the transmitter is disabled.
CS A-B* CS C-D*	16,20 50,54	I	Chip select. (active low) A low at this pin enables the ST16C454 / CPU data transfer operation. Each UART section of the ST16C454 can be accessed independently.
XTAL1	35	I	Crystal input 1 or external clock input. A crystal can be connected to this pin and XTAL2 pin to utilize the internal oscillator circuit. An external clock can be used to clock internal circuit and baud rate generator for custom transmission rates.
XTAL2	36	O	Crystal input 2 or buffered clock output. See XTAL1.
IOW*	18	I	Write strobe. (active low) A low on this pin will transfer the contents of the CPU data bus to the addressed register.
GND GND	6,23 40,61	O	Signal and power ground.
IOR*	52	I	Read strobe. (active low) A low level on this pin transfers the contents of the ST16C454 data bus to the CPU.
A2	32	I	Address select line 2. To select internal registers.
A1	33	I	Address select line 1. To select internal registers.
A0	34	I	Address select line 0. To select internal registers.
INT A-B INT C-D	15,21 49,55	O	Interrupt output. (active high) This pin goes high (when enabled by the interrupt enable register) whenever a receiver error, receiver data available, transmitter empty, or modem status condition flag is detected.
RTS A-B* RTS C-D*	14,22 48,56	O	Request to send. (active low) To indicate that the transmitter has data ready to send. Writing a "1" in the modem control register (MCR bit-1) will set this pin to a low state. After the reset this pin will be set to high. Note that this pin does not have any effect on the transmit or receive operation.

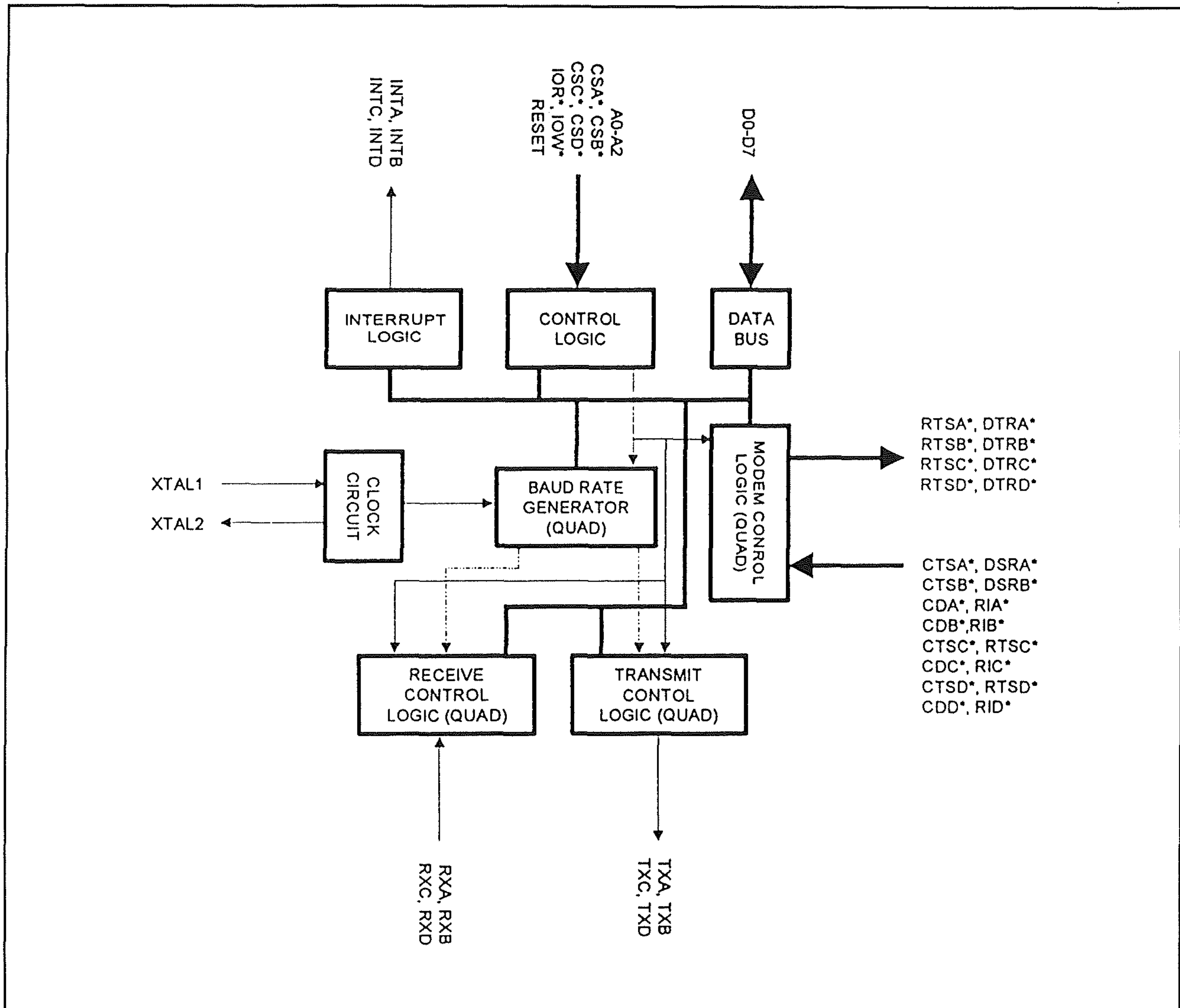
Figuur 6/9.23.2-27: Deel 1 van de korte beschrijving van de functie van de pennen van de 16C454.

9.23 Perifere schakelingen van de 16Cxxx-familie

Symbol	Pin	Signal Type	Pin Description
DTR A-B* DTR C-D*	12,24 46,58	O	Data terminal ready. (active low) To indicate that ST16C454 is ready to receive data. This pin can be controlled via the modem control register (MCR bit-0). Writing a "1" at the MCR bit-0 will set the DTR* output to low. This pin will be set to high state after writing a "0" to that register or after the reset . Note that this pin does not have any effect on the transmit or receive operation.
RESET	37	I	Master reset. (active high) A high on this pin will reset all the outputs and internal registers. The transmitter output and the receiver input will be disabled during reset time.
CTS A-B* CTS C-D*	11,25 45,59	I	Clear to send. (active low) The CTS* signal is a MODEM control function input whose conditions can be tested by reading the MSR BIT-4. CTS* has no effect on the transmit or receive operation.
DSR A-B* DSR C-D*	10,26 44,60	I	Data set ready. (active low) A low on this pin indicates the MODEM is ready to exchange data with UART. This pin does not have any effect on the transmit or receive operation.
CD A-B* CD C-D*	9,27 43,61	I	Carrier detect. (active low) A low on this pin indicates the carrier has been detected by the modem.
RI A-B* RI C-D*	8,28 42,62	I	Ring detect indicator. (active low) A low on this pin indicates the modem has received a ringing signal from telephone line.
VCC VCC	13,60 47,64	I	Power supply input.

Figuur 6/9.23.2-28: Deel 2 van de korte beschrijving van de functie van de pennen van de 16C454.

9.23 Perifere schakelingen van de 16Cxxx-familie



Figuur 6/9.23.2-29: Functioneel blokschema van de 16C454.

9.23 Perifere schakelingen van de 16Cxxx-familie

A2 A1 A0	Register	BIT-7	BIT-6	BIT-5	BIT-4	BIT-3	BIT-2	BIT-1	BIT-0
0 0 0	RHR	bit-7	bit-6	bit-5	bit-4	bit-3	bit-2	bit-1	bit-0
0 0 0	THR	bit-7	bit-6	bit-5	bit-4	bit-3	bit-2	bit-1	bit-0
0 0 1	IER	0	0	0	0	modem status interrupt	receive line status interrupt	transmit holding register	receive holding register
0 1 0	ISR	0	0	0	0	0	int priority bit-1	int priority bit-0	int status
0 1 1	LCR	divisor latch enable	set break	set parity	even parity	parity enable	stop bits	word length bit-1	word length bit-0
1 0 0	MCR	0	0	0	loop back	INT enable	Not used	RTS*	DTR*
1 0 1	LSR	0	trans. empty	trans. holding empty	break interrupt	framing error	parity error	overrun error	receive data ready
1 1 0	MSR	CD	RI	DSR	CTS	delta CD*	delta RI*	delta DSR*	delta CTS*
1 1 1	SPR	bit-7	bit-6	bit-5	bit-4	bit-3	bit-2	bit-1	bit-0
0 0 0	*DLL*	*bit-7*	*bit-6*	*bit-5*	*bit-4*	*bit-3*	*bit-2*	*bit-1*	*bit-0*
0 0 1	*DLM*	*bit-15*	*bit-14*	*bit-13*	*bit-12*	*bit-11*	*bit-10*	*bit-9*	*bit-8*

DLL and DLM are accessible only when LCR bit-7 is set to "1".

Figuur 6/9.23.2-30: De via een processor toegankelijke registers van de 16C454 en de functie van al hun individuele bits.

9.23 Perifere schakelingen van de 16Cxxx-familie

A2	A1	A0	READ MODE	WRITE MODE
0	0	0	Receive Holding Register	Transmit Holding Register
0	0	1		Interrupt Enable Register
0	1	0	Interrupt Status Register	
0	1	1		Line Control Register
1	0	0		Modem Control Register
1	0	1	Line Status Register	
1	1	0	Modem Status Register	
1	1	1	Scratchpad Register	Scratchpad Register
0	0	0		LSB of Divisor Latch
0	0	1		MSB of Divisor Latch

Figuur 6/9.23.2-31: Het selecteren van de registers van de 16C454 met behulp van de drie adreslijnen A0, A1 en A2.

Het Transmit/Receive Holding Register (THR en RHR)
Het zendgedeelte bestaat uit een zend houd register (Transmitter Holding Register: THR) en een zend schuif register (Transmitter Shift Register: TSR). De status van het zend houd register wordt bijgehouden in het Line Status Register (LSR). Door te schrijven naar het THR wordt de informatie op de databus (D0 tot en met D7) overgebracht naar het THR of het TSR als die leeg zijn.
Als het zend houd register leeg is of als data naar het zend schuif register is overgebracht, wordt de "zend houd register leeg" (THRE) vlag op "1" gezet. Schrijfoperaties dienen dus te worden uitgevoerd wanneer de THRE-vlag gezet is.
Op de dalende flank van het startbit begint de interne ontvangteller 7 1/2 clocksignalen van de 16X clock te tellen, waarmee het midden van het startbit wordt bepaald.
Als de RX dan nog LAAG is, is het startbit geldig. Door het startbit te verifiëren wordt voorkomen dat de ontvanger een fout data-karakter assembleert wanneer bijvoorbeeld een LAAG gaande storing op de RX-ingang optreedt. Ook de statuscodes van de ontvanger worden bijgehouden in het Line Status Register.

De Programmable Baud-rate Generator
De 16C454 bevat een programmeerbare baud-rate generator die clock-signalen tussen 0 (DC) en 8 MHz kan opnemen en delen door een getal tussen 1 en 2^{16}-1. De uitgangsfrequentie van $\overline{\text{Baudout}}$ is zestien maal (16X) de zendbaud-rate. Door een juiste keuze van LSB en MSB kunnen gestandaardiseerde Baud-rates worden ingesteld volgens het overzicht in figuur 6/9.23.2-32.

Het Interrupt Enable Register (IER)
Het interrupt enable register (IER) maskeert de binnenkomende interrupties van de Receiver Ready, Transmitter Empty, Line Status en Modem Status registers naar de INT uitgangspen.
- IER bit 0:
  1 = Receiver Ready interrupt vrijgegeven (enable).
  0 = Receiver Ready interrupt gesperd (disable).
- IER bit 1:

9.23 Perifere schakelingen van de 16Cxxx-familie

1 = Transmitter Empty interrupt vrijgegeven (enable).
0 = Transmitter Empty interrupt gesperd (disable).
- IER bit 2:
  1 = Receiver Line Status interrupt vrijgegeven (enable).
  0 = Receiver Line Status interrupt gesperd (disable).
- IER bit 3:
  1 = Modem Status Register interrupt vrijgegeven (enable).
  0 = Modem Status Register interrupt gesperd (disable).
- IER bit 7 tot 4:
  Al deze bits worden 0 gemaakt.

Het Interrupt Status Register (ISR)

De 16C454 beschikt over interrupt condities op vier prioriteitsniveaus, waardoor de hoeveelheid software voor het overbrengen van data minimaal kan zijn. Het Interrupt Status Register (ISR) verschaft informatie over de interrumperende bron. Gedurende de leescyclus levert de 16C454 eerst het prioriteitsniveau met de hoogste prioriteit. Andere interrupties worden pas bevestigd als de betreffende interrupt is afgewerkt.
Figuur 6/9.23.2-33 geeft een samenvatting van deze interruptieniveaus.
- ISR bit 0:
  0 = er “hangt” een interruptie en de inhoud van het ISR kan worden gebruikt als pointer naar de betreffende interrupt service-routine.
  1 = er is geen hangende interruptie.
- ISR bits 1 en 2:
  De logische combinatie van deze bits levert de interruptie met de hoogste prioriteit.
- ISR bit 3 tot 7:
  Deze bits worden niet gebruikt en worden op 0 gezet.

BAUD RATE	16 x CLOCK DIVISOR	% ERROR
50	2304	
75	1536	
110	1047	0.026
134.5	857	0.058
150	768	
300	384	
600	192	
1200	96	
2400	48	
3600	32	
4800	24	
7200	16	
9600	12	
19.2K	6	
38.4K	3	
56K	2	2.86
115.2K	1	

Figuur 6/9.23.2-32: Overzicht van de beschikbare Baud-rates bij het toepassen van een kristal met een frequentie van 1,8432 MHz.

P	D2	D1	D0	Source of the interrupt
1	1	1	0	LSR (Receiver Line Status Register)
2	1	0	0	RXRDY (Received Data Ready)
3	0	1	0	TXRDY(Transmitter Holding Register Empty)
4	0	0	0	MSR (Modem Status Register)

Figuur 6/9.23.2-33: De interruptie-niveaus van de 16C454.

Het Line Control Register (LCR)

Het Line Control register (LCR) wordt gebruikt om het formaat van de asynchrone data-communicatie te specificeren. Door de juiste bits in dit register te schrijven kan men het getal van de woordlengte, stopbits en pariteit kiezen.

- LCR bit 1 en 0:
  Deze bits specificeren het aantal bits per verzonden of ontvangen woord volgens het overzicht in figuur 6/9.23.2-34.
- LCR bit 2:
  Met bit 2 wordt het aantal stopbits ingesteld volgens het overzicht in figuur 6/9.23.2-35.
- LCR bit 3:
  Met bit 3 wordt de pariteit gekozen.
  0 = geen pariteit.
  1 = bij het zenden wordt een pariteitsbit gegenereerd en bij het ontvangen wordt de pariteit gecontroleerd.
- LCR bit 4:
  Als voor pariteit is gekozen, selecteert men met bit 4 op even of oneven pariteit.
  0 = oneven pariteit (odd).
  De verzonden data bevat dan een oneven aantal enen, terwijl de ontvangen data op hetzelfde formaat wordt gecheckt.
  1 = even pariteit.
- LCR bit 5:
  Als voor pariteit is gekozen, wordt met bit 5 het geforceerde pariteitsformaat geselecteerd.
  Als bit 5 = 1 en bit 4 = 0, wordt het pariteitsbit in de verzonden en ontvangen data een logische 1. Als bit 5 en bit 4 beide = 1 zijn, wordt het pariteitsbit in de verzonden en ontvangen data een logische 0.
- LCR bit 6:
  Dit is het break-controlbit, waarmee een break-conditie wordt geforceerd (TX wordt LAAG gehouden).
  0 = normale bedrijfsconditie.
  1 = de uitgang van de zender (TX) gaat LAAG om de communicatie-terminal te waarschuwen.
- PLCR bit 7:
  Dit is de latch-enable van de interne baudrate-teller.
  0 = normale werking.
  1 = selecteer het divisor latch register.

BIT-1	BIT-0	Word length
0	0	5
0	1	6
1	0	7
1	1	8

Figuur 6/9.23.2-34: De softwarematige instelling van de woordlengte door middel van de bits 0 en 1 van het Line Control Register.

BIT-2	Word length	Stop bit(s)
0	5,6,7,8	1
1	5	1-1/2
1	6,7,8	2

Figuur 6/9.23.2-35: De selectie van het aantal stopbits door middel van bit 2 van het Line Control Register.

Het Modem Control Register (MCR)

Dit register regelt de interface met de modem of een ander RS-232 randapparaat.

- MCR bit 0:
  0 = forceer $\overline{\text{DTR}}$ HOOG.
  1 = forceer $\overline{\text{DTR}}$ LAAG.
- MCR bit 1:
  0 = forceer $\overline{\text{RTS}}$ HOOG.
  1 = forceer $\overline{\text{RTS}}$ LAAG.

- MCR bit 2:
  Wordt alleen in de interne loop-back mode gebruikt.
- MCR bit 3:
  0 = zet de INT uitgangspen in de 3-state mode.
  1 = zet de INT uitgangspen in de normale bedrijfsmode.
- MCR bit 4:
  0 = normale bedrijfsmode.
  1 = maakt lokale loopback mode mogelijk (voor diagnostische test). De transmitter uitgang (TX) wordt HOOG gezet (mark conditie), terwijl de receiver ingang (RX) en $\overline{CTS}$, $\overline{DSR}$, $\overline{CD}$ en $\overline{RI}$ worden losgekoppeld. Inwendig wordt de transmitter uitgang verbonden met de receiver ingang en worden $\overline{DTR}$, $\overline{RTS}$, $\overline{OP1}$ en $\overline{OP2}$ verbonden met de modem-besturingsingangen. In deze mode zijn de interrupts van ontvanger en zender volledig operationeel. Ook de interrupts van de modembesturing zijn operationeel, maar de interrupt-bronnen van de modembesturing zijn nu de laagste vier bits van het modem control register in plaats van de vier modem-control ingangen. De interrupts worden nog steeds bestuurd door het IER.
- MCR bit 5 tot 7:
  Deze bits worden niet gebruikt en zijn permanent op 0 gehouden.

Het Line Status Register (LSR)

Dit register voorziet de processor van informatie over de status van de dataoverdracht.

- LSR bit 0:
  0 = geen data in het Receive Holding Register.
  1 = er is data ontvangen en opgeborgen in het Receive Holding Register.
- LSR bit 1:
  0 = geen overrun fout (normaal).
  1 = overrun error, het volgende karakter kwam binnen voordat het Receive Holding Register werd leeg gemaakt.
- LSR bit 2:
  0 = geen pariteitsfout (normaal).
  1 = pariteitsfout, de ontvangen data heeft niet de juiste pariteitsinformatie.
- LSR bit 3:
  0 = geen framing fout (normaal).
  1 = er is een framing error ontvangen, de ontvangen data had geen geldig stopbit.
- LSR bit 4:
  0 = geen break conditie (normaal).
  1 = er werd een break-signaal ontvangen, RX was gedurende één karakter tijdframe laag.
- LSR bit 5:
  0 = het Transmit Holding register is vol. De 16C454 accepteert geen data voor versturing.
  1 = Transmit Holding register is leeg: de CPU kan het volgende karakter laden.
- LSR bit 6:
  0 = Tranmitter Holding- en schuifregisters zijn vol.
  1 = Tranmitter Holding- en schuifregisters zijn leeg.
- LSR bit 7:
  Wordt niet gebruikt en is altijd 0.

Het Modem Status Register (MSR)

Dit register voorziet de processor van informatie over de huidige toestand van de besturingslijnen van de modem. Vier bits van dit register worden gebruikt om veranderingen aan te geven.

Deze bits worden op "1" gezet als een besturingssignaal van de modem van toestand verandert. Wanneer dit register door de processor wordt uitgelezen, gaan ze naar logisch 0.

9.23 Perifere schakelingen van de 16Cxxx-familie

- MSR bit 0:
  Geeft aan dat het CTS-signaal van toestand is veranderd sinds het de laatste keer werd uitgelezen.
- MSR bit 1:
  Geeft aan dat het DSR-signaal naar de 16C454 na de laatste uitlezing van toestand is veranderd.
- MSR bit 2:
  Geeft aan dat de RI-ingang naar de chip is veranderd van een LAGE in een HOGE toestand.
- MSR bit 3:
  Geeft aan dat het DCD-signaal naar de chip van toestand is veranderd sinds de laatste keer dat bit 3 door de CPU werd uitgelezen.
- MSR bit 4:
  Bit 4 is equivalent aan RTS in het Modem Control Register tijdens de lokale loop-back mode.
  Het is het complement van het CTS-signaal.
- MSR bit 5:
  Bit 5 is equivalent aan DTR in het MCR gedurende de lokale loop-back mode.
  Het is het complement van het DSR-signaal.
- MSR bit 6:
  Bit 6 is equivalent aan OP1 in het Modem Control Register gedurende de lokale loop-back mode en het complement van het RI-signaal.
- MSR bit 7:
  Bit 7 is equivalent aan OP2 in het MCR tijdens de lokale loop-back mode en het complement van het CD-signaal.

LET OP: Telkens wanneer MSR bit 3 tot en met 0 op logisch "1" zijn gezet, wordt een modem status interrupt gegenereerd.

Het Scratch Register (SCR)

In het scratch register kan 8 bit informatie tijdelijk worden opgeslagen.

De reset-functies

In figuur 6/9.23.2-36 zijn de reset-functies en in figuur 6/9.23.2-37 de geresette toestanden van de UART-signalen samengevat.

REGISTERS	RESET STATE
IER	IER BITS 0-7=0
ISR	ISR BIT-0=1, ISR BITS 1-7=0
LCR	LCR BITS 0-7=0
MCR	MCR BITS 0-7=0
LSR	LSR BITS 0-4=0,
	LSR BITS 5-6=1 LSR, BIT 7=0
MSR	MSR BITS 0-3=0,
MSR	BITS 4-7=input signals

Figuur 6/9.23.2-36: De externe reset-condities van de 16C454.

SIGNALS	RESET STATE
TX	High
OP1*	High
OP2*	High
RTS*	High
DTR*	High
INT	Three state

Figuur 6/9.23.2-37: De toestand van de signaaluitgangen na een externe reset.

9.23 Perifere schakelingen van de 16Cxxx-familie

6/9.23.3 De 16C550-serie

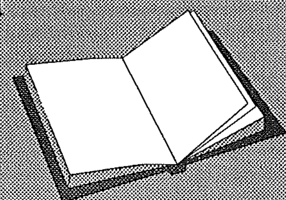
De 16C550

De 16C550 is een universele asynchrone zender/ontvanger met 16 byte FIFO's (First-In, First-Out geheugens) aan zend- en ontvangzijde, plus drie extra bits per byte in de ontvang-FIFO voor foutmeldingen. Deze UART heeft een programmeerbare baud-rate generator, waarmee kloksnelheden voor zenden en ontvangen van 50 Hz tot en met 448 kHz kunnen worden ingesteld. Tevens beschikt de 16C550 over interne statusregisters die informatie verschaffen over foutcondities en soort en status van de lopende data-overdracht. De 16C550 beschikt over alle functies voor het besturen van een modem plus een processor-interrupt systeem dat met behulp van software aan de eisen van de gebruiker kan worden aangepast. Bovendien is interne loop-back voor testdoeleinden mogelijk.
Het Texas Instruments type TL16C550C kan in de FIFO-mode gebruik maken van "Auto Flow". Hierbij wordt de seriële datastroom automatisch geregeld met behulp van de $\overline{RTS}$-uitgangssignalen en $\overline{CTS}$-ingangssignalen.

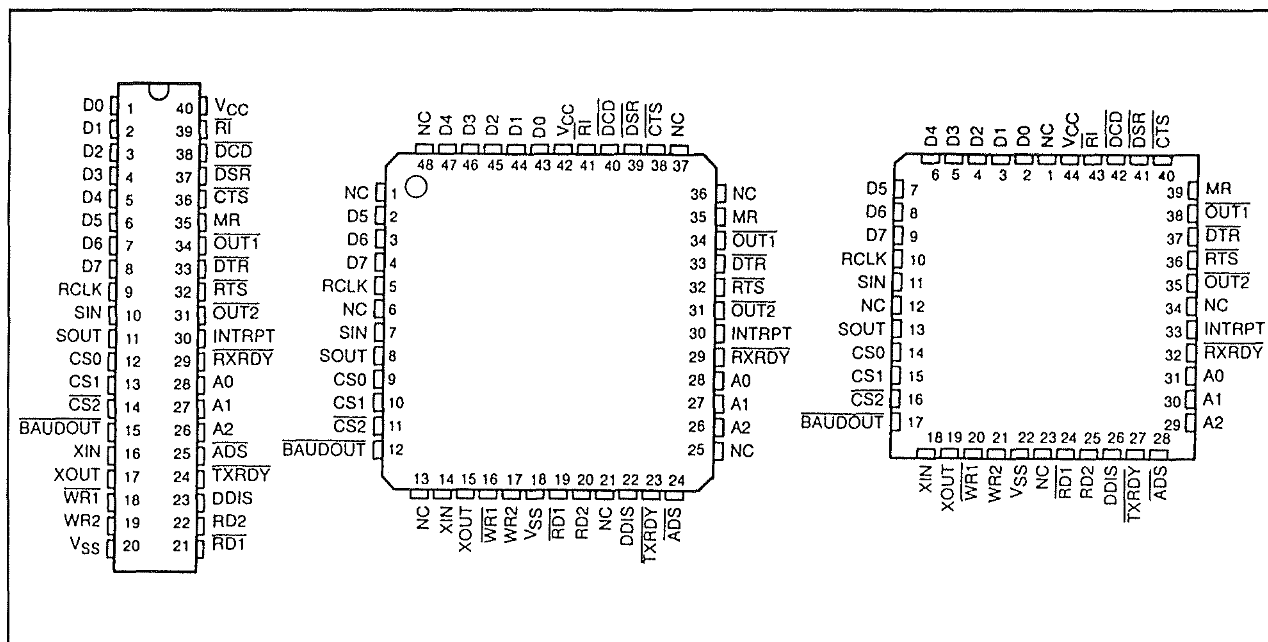
Specificaties
De specificaties van de 16C550 kunnen als volgt worden samengevat:
- 16 byte zend-FIFO
- 16 byte ontvang-FIFO met errorvlaggen
- modembesturingsfuncties: $\overline{CTS}$, $\overline{RTS}$, $\overline{DSR}$, $\overline{DTR}$, $\overline{RI}$ en $\overline{DCD}$
- programmeerbare karakterlengte: 5, 6, 7 of 8 bit
- genereren/detectie van even, oneven of geen pariteitsbit
- onafhankelijke besturing van zenden en ontvangen
- TTL-compatibele in- en uitgangen
- softwarecompatibel met INS8250 en NS16C450
- zenden/ ontvangen op 448 kHz bij toepassing van 7,372 MHz kristal of externe clock

Behuizingen
De 16C550 is leverbaar in drie behuizingen, namelijk:
- 40-pens plastic DIL;
- 44-pens PLCC;
- 48-pens TQFP.

LEES OOK:
Hoofdstuk 6/9.20.20
Hoofdstuk 6/9.22.2
Hoofdstuk 6/9.23.1
Hoofdstuk 6/10.10
Hoofdstuk 6/10.11



9.23 Perifere schakelingen van de 16Cxxx-familie



Figuur 6/9.23.3-1: De aansluitgegevens van de drie uitvoeringen van de 16C550.

De aansluitgegevens van deze behuizingen zijn samengevat in figuur 6/9.23.3-1.

Functioneel blokschema

Het functioneel blokschema van de 16C550 wordt voorgesteld in figuur 6/9.23.3-2.

Definitie van de in- en uitgangen

Een korte beschrijving van de functie van alle in- en uitgangen is te vinden in de tabellen van de figuren 6/9.23.3-3 en -4.

Functionele beschrijving

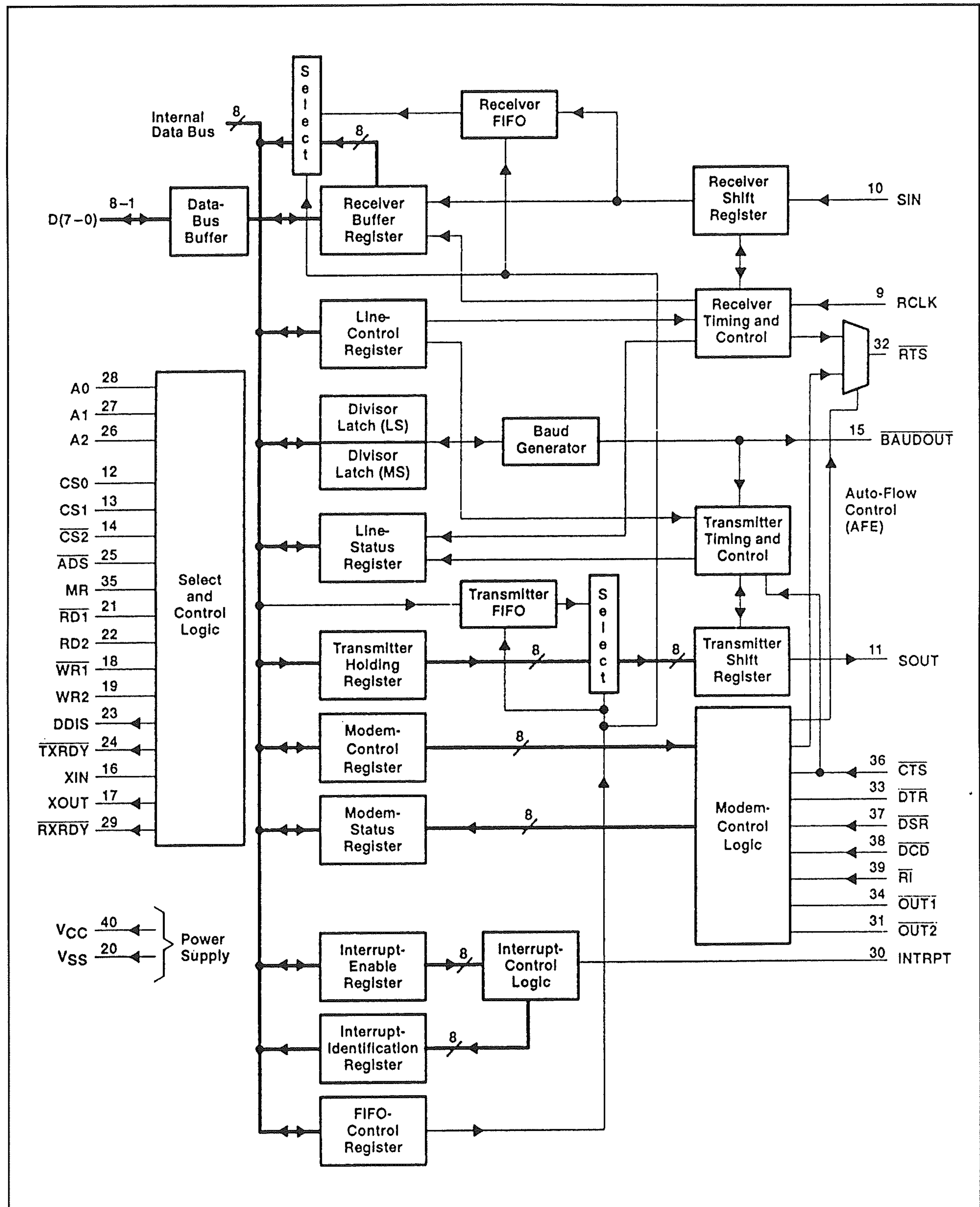
Aan de hand van het blokschema van figuur 6/9.23.3-2 en het overzicht van de via de processor toegankelijke registers in figuur 6/9.23.3-5 worden de functies van de UART beschreven. In figuur 6/9.23.3-6 is te zien hoe deze registers met behulp van de adreslijnen A0, A1 en A2 kunnen worden bereikt. Het divisor-latch access bit (DLAB) is het meest belangrijke bit van het Line Control Register.

Het DLAB-signaal kan worden ingesteld door naar deze bitlokatie te schrijven. Hoewel de werking van de 16C550 veel gemeen heeft met de reeds besproken leden van de 16C450-familie zijn er toch ook wezenlijke verschillen, dit vanwege de aanwezigheid van FIFO's. Alleen deze verschillen behandelen werkt, zo is in de praktijk gebleken, tamelijk verwarrend. Bovendien werken de seriële registers van de hierna te bespreken 16C552 op dezelfde manier als deze van de 16C550. Vandaar dat in de volgende paragraafjes de werking van alle registers toch vrij uitvoerig wordt beschreven.
Deze beschrijving geldt ook als referentie voor de 16C552.

Transmit Holding Register (THR) en Receive Buffer Register (RBR)

Het gedeelte voor serieel zenden bestaat uit een zend houd register (Transmit Holding Register: THR) en een zend schuif register (Transmit Shift Register: TSR).

9.23 Perifere schakelingen van de 16Cxxx-familie



Figuur 6/9.23.3-2: Het functioneel blokschema van de 16C550.

9.23 Perifere schakelingen van de 16Cxxx-familie

NAME	TERMINAL NO. N	NO. FN	NO. PT	I/O	DESCRIPTION
A0	28	31	28	I	Register select. A0 – A2 are used during read and write operations to select the ACE register to read from or write to. Refer to Table 1 for register addresses, and refer to the address strobe ($\overline{ADS}$) signal description.
A1	27	30	27		
A2	26	29	26		
$\overline{ADS}$	25	28	24	I	Address strobe. When $\overline{ADS}$ is active (low), the register-select signals (A0, A1, and A2) and chip-select signals (CS0, CS1, $\overline{CS2}$) drive the internal select logic directly; when $\overline{ADS}$ is high, the register-select and chip-select signals are held at the logic levels they were in when the low-to-high transition of $\overline{ADS}$ occured.
$\overline{BAUDOUT}$	15	17	12	O	Baud out. $\overline{BAUDOUT}$ is a 16x clock signal for the transmitter section of the ACE. The clock rate is established by the reference oscillator frequency divided by a divisor specified by the baud-generator-divisor latches. $\overline{BAUDOUT}$ may also be used for the receiver section by tying this output to RCLK.
CS0	12	14	9	I	Chip select. When CS0 and CS1 are high and $\overline{CS2}$ is low, these three inputs select the ACE. If any of these inputs are inactive, the ACE remains inactive. Refer to the $\overline{ADS}$ (address-strobe) signal description.
CS1	13	15	10		
$\overline{CS2}$	14	16	11		
$\overline{CTS}$	36	40	38	I	Clear to send. $\overline{CTS}$ is a modem-status signal whose condition can be checked by reading bit 4 (CTS) of the modem-status register. Bit 0 (Δ CTS) of the modem-status register indicates that this signal has changed levels since the last read from the modem-status register. If the modem-status interrupt is enabled when $\overline{CTS}$ changes levels and the auto-$\overline{CTS}$ mode is not enabled, an interrupt is generated. $\overline{CTS}$ is also used in the auto-$\overline{CTS}$ mode to control the transmitter.
D0	1	2	43	I/O	Data bus. Eight data lines with 3-state outputs provide a bidirectional path for data, control, and status information between the ACE and the CPU.
D1	2	3	44		
D2	3	4	45		
D3	4	5	46		
D4	5	6	47		
D5	6	7	2		
D6	7	8	3		
D7	8	9	4		
$\overline{DCD}$	38	42	40	I	Data-carrier detect. $\overline{DCD}$ is a modem-status signal whose condition can be checked by reading bit 7 (DCD) of the modem-status register. Bit 3 (Δ DCD) of the modem-status register indicates that this signal has changed levels since the last read from the modem-status register. If the modem-status interrupt is enabled when $\overline{DCD}$ changes levels, an interrupt is generated.
DDIS	23	26	22	O	Driver disable. This output is active (high) when the CPU is not reading data. When active, this output can be used to disable an external transceiver.
$\overline{DSR}$	37	41	39	I	Data-set ready. $\overline{DSR}$ is a modem-status signal whose condition can be checked by reading bit 5 (DSR) of the modem-status register. Bit 1 (Δ DSR) of the modem-status register indicates this signal has changed levels since the last read from the modem-status register. If the modem-status interrupt is enabled when the $\overline{DSR}$ changes levels, an interrupt is generated.
$\overline{DTR}$	33	37	33	O	Data-terminal ready. When active (low), $\overline{DTR}$ informs a modem or data set that the ACE is ready to establish communication. $\overline{DTR}$ is placed in its active level by setting the DTR bit of the modem-control register to one. $\overline{DTR}$ is placed in its inactive level either as a result of a master reset, during loop-mode operation, or resetting the DTR bit.
INTRPT	30	33	30	O	Interrupt. When active (high), INTRPT informs the CPU that the ACE has an interrupt to be serviced. Four conditions that cause an interrupt to be issued are: a receiver error, received data that is available or timed out (FIFO-mode only), an empty transmitter holding register, or an enabled modem-status interrupt. The INTRPT output is reset (deactivated) either when the interrupt is serviced or as a result of a master reset.
MR	35	39	35	I	Master reset. When active (high), MR clears most ACE registers and sets the levels of various output signals. Refer to Table 2, ACE reset functions.

Figuur 6/9.23.3-3: Functie van de aansluitpennen, deel 1.

9.23 Perifere schakelingen van de 16Cxxx-familie

NAME	TERMINAL NO. N	NO. FN	NO. PT	I/O	DESCRIPTION
OUT1 OUT2	34 31	38 35	34 31	O	Outputs 1 and 2. These are user-designated output terminals that are set to their active (low) level by setting their respective modem-control register (MCR) bits (OUT1 and OUT2) to one. OUT1 and OUT2 are set to their inactive (high) level as a result of master reset, during loop-mode operations, or by resetting bit 2 (OUT1) or bit 3 (OUT2) of the MCR.
RCLK	9	10	5	I	Receiver clock. RCLK is the 16x baud-rate clock for the receiver section of the ACE.
RD1 RD2	21 22	24 25	19 20	I	Read inputs. When either input is active (low or high, respectively) while the ACE is selected, the CPU is allowed to read status information or data from a selected ACE register. Only one of these inputs is required for the transfer of data during a read operation; the other input should be tied to its inactive level (i.e., RD2 tied low or RD1 tied high).
RI	39	43	41	I	Ring indicator. RI is a modem-status signal whose condition can be checked by reading bit 6 (RI) of the modem-status register. Bit 2 (TERI) of the modem-status register indicates that RI has transitioned from a low to a high level since the last read from the modem-status register. If the modem-status interrupt is enabled when this transition occurs, an interrupt is generated.
RTS	32	36	32	O	Request to send. When active, RTS informs the modem or data set that the ACE is ready to receive data. RTS is set to its active level by setting the RTS modem-control register bit and is set to its inactive (high) level either as a result of a master reset or during loop-mode operations or by resetting bit 1 (RTS) of the MCR. In the auto-RTS mode, RTS is set to its inactive level by the receiver threshold control logic.
RXRDY	29	32	29	O	Receiver ready. Receiver direct-memory access (DMA) signalling is available with this terminal. When operating in the FIFO mode, one of two types of DMA signalling can be selected via the FIFO control-register bit 3 (FCR3). When operating in the TL16C450 mode, only DMA mode 0 is allowed. Mode 0 supports single-transfer DMA in which a transfer is made between CPU bus cycles. Mode 1 supports multitransfer DMA in which multiple transfers are made continuously until the receiver FIFO has been emptied. In DMA mode 0 (FCR0 = 0 or FCR0 = 1, FCR3 = 0), if there is at least one character in the receiver FIFO or receiver holding register, RXRDY is active (low). When RXRDY has been active but there are no characters in the FIFO or holding register, RXRDY goes inactive (high). In DMA mode 1 (FCR0 = 1, FCR3 = 1), when the trigger level or the time out has been reached, RXRDY goes active (low); when it has been active but there are no more characters in the FIFO or holding register, it goes inactive (high).
SIN	10	11	7	I	Serial data. Input from a connected communications device
SOUT	11	13	8	O	Composite serial data output to a connected communication device. SOUT is set to the marking (logic H) level as a result of master reset.
TXRDY	24	27	23	O	Transmitter ready. Transmitter DMA signalling is available with this terminal. When operating in the FIFO mode, one of two types of DMA signalling can be selected via FCR3. When operating in the TL16C450 mode, only DMA mode 0 is allowed. Mode 0 supports single-transfer DMA in which a transfer is made between CPU bus cycles. Mode 1 supports multitransfer DMA in which multiple transfers are made continuously until the transmit FIFO has been filled.
V_{CC}	40	44	42		5-V supply voltage
V_{SS}	20	22	18		Supply common
WR1 WR2	18 19	20 21	16 17	I	Write inputs. When either input is active (low or high, respectively) and while the ACE is selected, the CPU is allowed to write control words or data into a selected ACE register. Only one of these inputs is required to transfer data during a write operation; the other input should be tied to its inactive level (i.e., WR2 tied low or WR1 tied high).
XIN XOUT	16 17	18 19	14 15	I/O	External clock. These terminals connect the ACE to the main timing reference (clock or crystal).

Figuur 6/9.23.3-4: Functie van de aansluitpennen, deel 2.

9.23 Perifere schakelingen van de 16Cxxx-familie

BIT NO.	REGISTER ADDRESS											
	0 DLAB = 0	0 DLAB = 0	1 DLAB = 0	2	2	3	4	5	6	7	0 DLAB = 1	1 DLAB = 1
	Receiver Buffer Register (Read Only)	Transmitter Holding Register (Write Only)	Interrupt-Enable Register	Interrupt-Ident. Register (Read Only)	FIFO Control Register (Write Only)	Line-Control Register	Modem-Control Register	Line-Status Register	Modem-Status Register	Scratch Register	Divisor Latch (LSB)	Latch (MSB)
	RBR	THR	IER	IIR	FCR	LCR	MCR	LSR	MSR	SCR	DLL	DLM
0	Data Bit 0†	Data Bit 0	Enable Received-Data-Available Interrupt (ERBI)	0 if interrupt Pending	FIFO Enable	Word-Length Select Bit 0 (WLS0)	Data Terminal Ready (DTR)	Data Ready (DR)	Delta Clear to Send (ΔCTS)	Bit 0	Bit 0	Bit 8
1	Data Bit 1	Data Bit 1	Enable Transmitter Holding-Register-Empty Interrupt (ETBEI)	Interrupt ID Bit 1	Receiver FIFO Reset	Word-Length Select Bit 1 (WLS1)	Request to Send (RTS)	Overrun Error (OE)	Delta Data-Set Ready (ΔDSR)	Bit 1	Bit 1	Bit 9
2	Data Bit 2	Data Bit 2	Enable Receiver Line-Status Interrupt (ELSI)	Interrupt ID Bit 2	Transmitter FIFO Reset	Number of Stop Bits (STB)	OUT1	Parity Error (PE)	Trailing-Edge Ring Indicator (TERI)	Bit 2	Bit 2	Bit 10
3	Data Bit 3	Data Bit 3	Enable Modem-Status Interrupt (EDSSI)	Interrupt ID Bit 3 (see Note 4)	DMA Mode Select	Parity Enable (PEN)	OUT2	Framing Error (FE)	Delta Data-Carrier Detect (ΔDCD)	Bit 3	Bit 3	Bit 11
4	Data Bit 4	Data Bit 4	0	0	Reserved	Even-Parity Select (EPS)	Loop	Break Interrupt (BI)	Clear to Send (CTS)	Bit 4	Bit 4	Bit 12
5	Data Bit 5	Data Bit 5	0	0	Reserved	Stick Parity	Auto-Flow Control Enable (AFE)	Transmitter Holding Register (THRE)	Data Set Ready (DSR)	Bit 5	Bit 5	Bit 13
6	Data Bit 6	Data Bit 6	0	FIFOs Enabled (see Note 4)	Receiver Trigger (LSB)	Break Control	0	Transmitter Empty (TEMT)	Ring Indicator (RI)	Bit 6	Bit 6	Bit 14
7	Data Bit 7	Data Bit 7	0	FIFOs Enabled (see Note 4)	Receiver Trigger (MSB)	Divisor-Latch Access Bit (DLAB)	0	Error in RCVR FIFO (see Note 4)	Data-Carrier Detect (DCD)	Bit 7	Bit 7	Bit 15

† Bit 0 is the least significant bit. It is the first bit serially transmitted or received.
NOTE 4: These bits are always 0 in the TL16C450 mode.

Figuur 6/9.23.3-5: Overzicht van de toegankelijke registers van de 16C550 en functie van de bits. DLL en DLM zijn alleen toegankelijk als LCR-bit 7 op "1" is gezet.

De status van het zend houd register wordt bijgehouden in het Line Status Register (LSR). Door schrijven naar het THR wordt de inhoud van de databus (D0 tot en met D7) naar THR overgebracht als THR of TSR leeg zijn. De "zend houd register leeg" vlag (THRE) wordt "1" als het zend houd register leeg is of als data naar het zend schuif register wordt overgebracht. Het TSR zet de data om in seriële vorm en verstuurt deze via de seriële uitgang (SOUT). Schrijfoperaties moeten worden uitgevoerd wanneer de THRE-vlag is gezet! Het ontvanggedeelte bestaat uit een ontvang schuif register (RSR) en een ontvang buffer register (RBR). De seriële data komt binnen op de SIN-pen. Het RBR is in feite een 16 byte FIFO. De timing wordt geregeld door de 16X receiver clock (RCLK). Op de dalende flank van het startbit begint de interne ontvangteller 7 1/2 clocksignalen van de 16X clock af te tellen om het midden van het startbit te bepalen. Het startbit is geldig als

SIN op dat moment nog LAAG is. Verificatie van het startbit voorkomt dat de ontvanger een fout datakarakter assembleert, bijvoorbeeld wanneer een LAAG gaande storing op de SIN-ingang optreedt. De statuscodes van de ontvanger worden bijgehouden in het Line Status Register.

DLAB↑	A2	A1	A0	REGISTER
0	L	L	L	Receiver buffer (read), transmitter holding register (write)
0	L	L	H	Interrupt enable
X	L	H	L	Interrupt identification (read only)
X	L	H	L	FIFO control (write)
X	L	H	H	Line control
X	H	L	L	Modem control
X	H	L	H	Line status
X	H	H	L	Modem status
X	H	H	H	Scratch
1	L	L	L	Divisor latch (LSB)
1	L	L	H	Divisor latch (MSB)

Figuur 6/9.23.3-6: Selectie van de registers van de 16C550.

Werking met de FIFO in de interrupt-mode

Wanneer de ontvang-FIFO (FCR-bit 0 = "1") en ontvanginterrupts (IER-bit 0 = "1") zijn vrijgegeven, treden ontvanger-interrupts op de volgende manieren op:

- De "data beschikbaar-interrupts" van de ontvanger gaan naar de processor als de FIFO zijn geprogrammeerde triggerniveau heeft bereikt. De INT-uitgang wordt gecleared zodra de FIFO weer onder zijn triggerniveau komt.
- Ook de ISR "ontvangen data beschikbaar" indicatie treedt op wanneer het FIFO-triggerniveau wordt bereikt.
  Net als de interrupt wordt ook deze gecleared als de FIFO weer onder zijn triggerniveau komt.
- Het "data ready" bit (LSR-bit 0) wordt gezet zodra een karakter van het schuifregister wordt overgebracht naar de ontvang-FIFO. Als de FIFO leeg is, wordt dit bit gereset.

Werking met afvragen van de FIFO

De FIFO's in de 16C550 kunnen ook worden afgevraagd (de zogenaamde "polled" mode) door FCR-bit 0 = "1" en IER-bit 3 = "0" te maken. Aangezien de ontvanger en de zender apart worden bestuurd, kan elke FIFO apart of beide tegelijk worden afgevraagd met behulp van het Line Status Register:

- LSR-bit 0 wordt gezet zolang er een byte in de ontvang-FIFO is.
- LSR-bit 1 tot en met 4 specificeren de fouten die zijn opgetreden.
- LSR-bit 5 geeft aan wanneer de zend-FIFO leeg is.
- LSR-bit 6 meldt wanneer zowel de zend- als de ontvang-FIFO leeg zijn.
- LSR-bit 7 waarschuwt wanneer er fouten in de ontvang-FIFO zijn opgetreden.

Bij de 16C550 moet de FIFO-enable in twee stappen plaatsvinden om de triggerniveaus van de ontvanger vrij te kunnen geven.

Programmeerbare baud-rate generator

De 16C550 heeft uiteraard een programmeerbare baud-rate generator aan boord die clock-signalen tussen 0 (DC) en 16 MHz kan ontvangen en delen door een getal tussen 1 en 2^{16} - 1. De uitgangsfrequentie van $\overline{\text{BAUDOUT}}$ is gelijk aan zestien maal (16X) de zend-baudrate. Door LSB en MSB in te stellen op de juiste deelwaarden kunnen, volgens figuur 6/9.23.3-7, de gestandaardiseerde baudrates worden verkregen.
De timing van de baud-rate generator is getekend in figuur 6/9.23.3-8.

Interrupt Enable Register (IER)

Het interrupt enable register (IER) maskeert de binnenkomende interrupts van de Receiver Ready, Transmitter Empty,

Line Status en Modem Status registers naar de INTRPT uitgangspen.

DESIRED BAUD RATE	DIVISOR USED TO GENERATE 16x CLOCK	PERCENT ERROR DIFFERENCE BETWEEN DESIRED AND ACTUAL
50	2304	
75	1536	
110	1047	0.026
134.5	857	0.058
150	768	
300	384	
600	192	
1200	96	
1800	64	
2000	58	0.69
2400	48	
3600	32	
4800	24	
7200	16	
9600	12	
19200	6	
38400	3	
56000	2	2.86

DESIRED BAUD RATE	DIVISOR USED TO GENERATE 16x CLOCK	PERCENT ERROR DIFFERENCE BETWEEN DESIRED AND ACTUAL
50	3840	
75	2560	
110	1745	0.026
134.5	1428	0.034
150	1280	
300	640	
600	320	
1200	160	
1800	107	0.312
2000	96	
2400	80	
3600	53	0.628
4800	40	
7200	27	1.23
9600	20	
19200	10	
38400	5	

Figuur 6/9.23.3-7: Baud-rates bij gebruik van een 1,8432 MHz kristal (boven) en bij gebruik van een 3,072 MHz kristal (onder).

- IER-bit 0:
  "0" = Receiver Ready interrupt gesperd (disable).
  "1" = Receiver Ready interrupt vrijgegeven (enable).
- IER-bit 1:
  "0" = Transmitter Empty interrupt gesperd.
  "1" = Transmitter Empty interrupt vrijgegeven.
- IER-bit 2:
  "0" = Receiver Line Status interrupt gesperd.
  "1" = Receiver Line Status interrupt vrijgegeven.
- IER-bit 3:
  "0" = Modem Status Register interrupt gesperd.
  "1" = Modem Status Register interrupt vrijgegeven.
- IER-bit 4 tot en met 7:
  Deze bits worden allemaal op logisch "0" gezet.

Interrupt Identification Register (IIR)
De 16C550 voorziet in interrupt condities op vier prioriteitsniveaus, zodat de hoeveelheid software voor het overbrengen van datakarakters zo gering mogelijk kan zijn. Het Interrupt Identificatieregister (IIR) geeft informatie over de interrumperende bron. Gedurende de leescyclus wordt de interrupt met het hoogste niveau bediend door de processor. Op andere interrupts wordt pas ingegaan als de lopende interrupt is afgewerkt. In de tabel van figuur 6/9.23.3-9 worden de prioriteitsniveaus van de interrupties getoond.
- IIR-bit 0:
  "0" = er moet nog een interrupt worden behandeld en de inhoud van het ISR kan als pointer naar de betreffende interrupt serviceroutine worden gebruikt.

9.23 Perifere schakelingen van de 16Cxxx-familie

"1" = er is geen hangende interrupt.

- IIR-bits 1 tot en met 3:
  De logische combinatie van deze bits levert de interruptie met de hoogste prioriteit op.
- IIR-bits 4 tot en met 7:
  Deze bits worden niet gebruikt en worden in de 16C450-mode op "0" gezet. De ISR-bits 6 en 7 worden op "1" gezet in de 16C550-mode.

FIFO Control Register (FCR)
Dit register wordt gebruikt om:

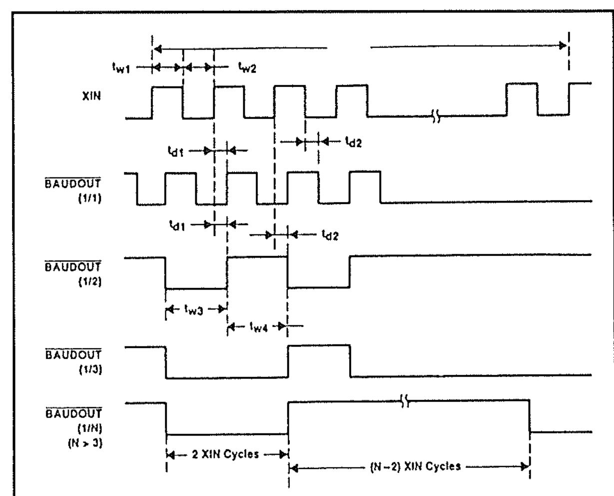
- de FIFO's vrij te geven voor gebruik (enable);
- de FIFO's leeg te maken (clear);
- het triggerniveau van de ontvang-FIFO in te stellen;
- het type DMA-signalering te selecteren.

Hiervoor worden onderstaande bits gebruikt:

- FCR-bit 0:
  "0" = Transmit en Receiver FIFO gesperd (disable).
  "1" = Transmit en Receiver FIFO vrijgegeven (enable).
  Dit bit dient te worden vrijgegeven voordat de FIFO triggerniveaus worden ingesteld.
- FCR-bit 1:
  "0" = geen verandering.
  "1" = maakt de ontvang-FIFO leeg en zet de tellogika daarvan op 0. Het ontvang schuif register wordt niet leeggemaakt of veranderd. Na het leegmaken van de FIFO's gaat dit bit terug op "0".
- FCR-bit 2:
  "0" = geen verandering.
  "1" = maakt de zend-FIFO leeg en zet diens teller op 0. Het zend-schuifregister wordt niet leeggemaakt of veranderd. Na het leegmaken van de FIFO's gaat dit bit terug op "0".
- FCR-bit 3:
  "0" = geen verandering.
  "1" = verandert de RXRDY- en TXRDY-pennen van mode "0" in mode "1".

Zenden in mode "0"
Wanneer de 16C550 zich in de 16C450-mode (FCR-bit 0 = "0") of in de FIFO-mode (FCR-bit 0 = "1", FCR-bit 3 = "0") bevindt, gaat de $\overline{\text{TXRDY}}$-pen LAAG als er geen karakters in de zend-FIFO of in het zend houd register zijn. Wanneer de $\overline{\text{TXRDY}}$-pen aktief is gaat hij HOOG (niet-aktief) nadat het eerste karakter in het zend houd register is geladen.

Ontvangen in mode "0"
Bevindt de 16C550 zich in de 16C450-mode (FCR-bit 0 = "0") of in de FIFO-mode (FCR-bit 0 = "1", FCR-bit 3 = "0"), dan gaat de $\overline{\text{RXRDY}}$-pen LAAG als de ontvang-FIFO tenminste 1 karakter bevat. Zodra de $\overline{\text{RXRDY}}$-pen aktief is, wordt hij niet-aktief (HOOG) als er geen karakters meer in de ontvanger zijn.



Figuur 6/9.23.3-8: De timing van de baud-rate generator.

9.23 Perifere schakelingen van de 16Cxxx-familie

INTERRUPT-IDENTIFICATION REGISTER				PRIORITY LEVEL	INTERRUPT TYPE	INTERRUPT SOURCE	INTERRUPT RESET METHOD
BIT 3	BIT 2	BIT 1	BIT 0				
0	0	0	1	None	None	None	None
0	1	1	0	1	Receiver line status	Overrun error, parity error, framing error, or break interrupt	Read the line-status register
0	1	0	0	2	Received data available	Receiver data available in the TL16C450 mode or trigger level reached in the FIFO mode	Read the receiver buffer register
1	1	0	0	2	Character time-out indication	No characters have been removed from or input to the receiver FIFO during the last four character times, and there is at least one character in it during this time	Read the receiver buffer register
0	0	1	0	3	Transmitter holding-register empty	Transmitter holding-register empty	Read the interrupt-identification register (if source of interrupt) or writing into the transmitter holding register
0	0	0	0	4	Modem status	Clear to send, data-set ready, ring indicator, or data-carrier detect	Read the modem-status register

Figuur 6/9.23.3-9: Overzicht van de prioriteitsniveaus.

BIT 7	BIT 6	RECEIVER FIFO TRIGGER LEVEL (BYTES)
0	0	01
0	1	04
1	0	08
1	1	14

Figuur 6/9.23.3-10: Het instellen van de FIFO-triggerniveaus.

BIT 1	BIT 0	WORD LENGTH
0	0	5 bits
0	1	6 bits
1	0	7 bits
1	1	8 bits

Figuur 6/9.23.3-11: Het instellen van de woordlengte.

Zenden in mode "1"

Wanneer de 16C550 zich in de FIFO-mode bevindt (FCR-bit 0 = "1", FCR-bit 3 = "1"), wordt de $\overline{\text{TXRDY}}$-pen HOOG (niet-aktief) als de zend-FIFO geheel gevuld is.
$\overline{\text{TXRDY}}$ is LAAG als één of meer FIFO-lokaties leeg zijn.

Ontvangen in mode "1"

Als de 16C550 zich in de FIFO-mode bevindt (FCR-bit 0 = 1, FCR-bit 3 = "1") en het triggerniveau of de time-out is bereikt, dan gaat de $\overline{\text{RXRDY}}$-pen LAAG. Zodra $\overline{\text{RXRDY}}$ is geaktiveerd, gaat hij HOOG (niet-aktief) als er geen karakters meer in de FIFO zijn.

- FCR-bits 4 en 5:
  deze bits worden (nog) niet gebruikt.
- FCR-bits 6 en 7:
  deze bits dienen om het interrupt triggerniveau van de ontvang-FIFO in te stellen.

BIT 2	WORD LENGTH SELECTED BY BITS 1 AND 2	NUMBER OF STOP BITS GENERATED
0	Any word length	1
1	5 bits	1 1/2
1	6 bits	2
1	7 bits	2
1	8 bits	2

Figuur 6/9.23.3-12: De selectie van het aantal stopbits.

Line Control Register (LCR)

Het Line Control register (LCR) dient om het formaat van de asynchrone datacommunicatie te specificeren. Woordlengte, aantal stopbits en pariteit kunnen worden gekozen door de betreffende bits van dit register in te vullen.

- LCR-bits 1 en 0:
  deze twee bits specificeren de woordlengte bij zenden of ontvangen, volgens de tabel van figuur 6/9.23.3-11.
- LCR-bit 2:
  met dit bit wordt het aantal stopbits gespecificeerd volgens de tabel van figuur 6/9.23.3-12.
- LCR-bit 3:
  met dit bit wordt wel of geen pariteit gekozen.
  "0" = geen pariteit.
  "1" = bij het zenden wordt een pariteitsbit gegenereerd, terwijl de ontvanger de pariteit controleert.
- LCR-bit 4:
  als het pariteitsbit is vrijgegeven, selecteert LCR-bit 4 het even of oneven pariteitsformaat.
  "0" = oneven pariteit (odd), de verzonden data bevat dan een oneven aantal enen, terwijl de ontvangen data op hetzelfde formaat wordt gecheckt.
  "1" = even pariteit (even aantal enen).
- LCR-bit 5:
  als voor pariteit is gekozen, wordt met LCR-bit 5 (de Stick-parity bit) het geforceerde pariteitsformaat gekozen.
  Als LCR-bit 5 = "1" en LCR-bit 4 = "0", wordt het pariteitsbit "1" in de verzonden en ontvangen data.
  Als LCR-bits 5 en 4 = "1" zijn, wordt het pariteitsbit "0" in de verzonden en ontvangen data.
- LCR-bit 6:
  dit is het break-controlbit, waarmee een break-conditie wordt verzonden (SOUT wordt LAAG gehouden).
  "0" = normale bedrijfsconditie.
  "1" = de uitgang van de zender (SOUT) gaat LAAG om de communicatieterminal te waarschuwen.
- LCR-bit 7:
  de latch-enable (DLAB) van de interne baudrate-teller.
  "0" = normale werking.
  "1" = selecteert het divisor latch register.

Modem Control Register (MCR)

Dit register regelt de interface met de modem of een ander randapparaat dat werkt volgens de RS-232 standaard.

- MCR-bit 0:
  "0" = forceer de $\overline{DTR}$-uitgang HOOG.
  "1" = forceer de $\overline{DTR}$-uitgang LAAG.
- MCR-bit 1:
  "0" = forceer de $\overline{RTS}$-uitgang HOOG.
  "1" = forceer de $\overline{RTS}$-uitgang LAAG.
- MCR-bit 2:

"0" = zet de $\overline{\text{OUT1}}$-uitgang HOOG.
"1" = zet de $\overline{\text{OUT1}}$-uitgang LAAG.

- MCR-bit 3:
  "0" = zet de $\overline{\text{OUT2}}$-uitgang HOOG.
  "1" = zet de $\overline{\text{OUT2}}$-uitgang LAAG.
- MCR-bit 4:
  "0" = normale bedrijfsmode.
  "1" = geeft lokale loopback mode vrij (voor diagnostische tests), de transmitter uitgang (SOUT) wordt HOOG gezet (mark conditie), terwijl de receiver ingang (SIN) en ($\overline{\text{CTS}}$, $\overline{\text{DSR}}$, $\overline{\text{CD}}$ en $\overline{\text{RI}}$ worden losgekoppeld. Inwendig wordt de transmitter-uitgang verbonden met de receiver-ingang en worden ($\overline{\text{DTR}}$, $\overline{\text{RTS}}$, $\overline{\text{OUT1}}$ en $\overline{\text{OUT2}}$ verbonden met de modem-besturingsingangen.
  In deze mode zijn de interrupts van ontvanger en zender volledig operationeel. Ook de interrupts van de modembesturing zijn operationeel, maar de interruptbronnen van de modembesturing zijn nu de laagste vier bits van het Modem Control Register in plaats van de vier modembesturingsingangen. De interrupts worden nog steeds bestuurd door het IER.
- MCR-bit 5:
  dit de het Auto Flow Enable (AFE) bit. Als AFE = "1" is, treedt bij het Texas Instruments type de Auto Flow control in werking, volgens de tabel van figuur 6/9.23.3-13.
  In de diagnostische mode wordt uitgezonden data onmiddellijk weer ontvangen.
  De processor kan daardoor de datapaden voor zenden en ontvangen naar de UART controleren. De interrupts van zender en ontvanger zijn hierbij volledig operationeel.
- MCR-bit 6 en 7:
  deze bits worden niet gebruikt en zijn permanent "0".

MCR BIT 5 (AFE)	MCR BIT 1 (RTS)	ACE FLOW CONFIGURATON
1	1	Auto $\overline{\text{RTS}}$ and auto $\overline{\text{CTS}}$ enabled (auto-flow control enabled)
1	0	Auto $\overline{\text{CTS}}$ only enabled
0	X	Auto $\overline{\text{RTS}}$ and auto $\overline{\text{CTS}}$ disabled

Figuur 6/9.23.3-13: Het instellen van de datastroom met MCR-bit's 1 en 5.

Line Status Register (LSR)
Dit register voorziet de processor van informatie over de status van de dataoverdracht.

- LSR-bit 0, Data Ready (DR) indicator:
  "0" = geen data in het Receive Buffer register of in de FIFO.
  "1" = ontvangen data is opgeborgen in het Receive Buffer register of in de FIFO.
- LSR-bit 1, Overrun-Error (OE) indicator:
  "0" = geen overrun-fout (= normaal).
  "1" = overrun error: het volgende karakter arriveerde voordat het Receive Buffer register werd leeggemaakt of voordat de FIFO's waren vrijgegeven. Een overrun-fout treedt alleen op als de FIFO vol is en het volgende karakter compleet in het schuifregister is opgenomen. Let op dat het karakter in het schuifregister wel wordt overschreven, maar niet wordt overgebracht naar de FIFO.
- LSR-bit 2, Parity-Error (PE) indicator:
  "0" = geen pariteitsfout (= normaal).
  "1" = pariteitsfout: ontvangen data heeft geen juiste pariteitsinformatie. In de FIFO-mode houdt deze fout verband met het karakter bovenin de FIFO.
- LSR-bit 3, Framing-Error (FE) indicator:
  "0" = geen framing-fout (= normaal).

"1" = framing error: de ontvangen data had geen geldig stopbit. In de FIFO-mode slaat deze fout op het karakter bovenin de FIFO.
- LSR-bit 4, Break-Interrupt (BI) indicator:
  "0" = geen break-conditie (= normaal).
  "1" = er is een break-signaal ontvangen: RX was gedurende één karaktertijdframe laag. In de FIFO-mode kan slechts één nulkarakter in de FIFO worden geladen.
- LSR-bit 5, Transmitter Holding Register empty (THRE) indicator:
  "0" = het Transmit Holding Register is vol. De 16C550 accepteert geen data voor verzending.
  "1" = Transmit Holding Register (of FIFO) leeg: de processor kan het volgende karakter laden.
- LSR-bit 6, Transmitter empty (TEMT) indicator:
  "0" = Transmitter Holding- en schuifregisters zijn vol.
  "1" = Transmitter Holding- en schuifregisters zijn leeg. In de FIFO-mode wordt dit bit telkens "1" gemaakt als de zend-FIFO en het zend-schuifregister leeg zijn.
- LSR-bit 7:
  "0" = normaal.
  "1" = minstens één pariteitsfout, framing-fout of break-indicatie in de FIFO. Dit bit wordt gecleared als het LSR wordt uitgelezen.

Modem Status Register (MSR)
Dit register biedt de processor informatie over de lopende toestand van de besturingslijnen van de modem of van een randapparaat. Vier bits van dit register dienen om de veranderingen aan te geven. Deze bits worden "1" zodra een besturingssignaal van de modem van toestand verandert. Ze worden "0" wanneer dit register door de processor wordt uitgelezen.
- MSR-bit 0:
  geeft aan dat het $\overline{CTS}$-signaal van toestand is veranderd sinds het de laatste keer werd uitgelezen.
- MSR-bit 1:
  geeft aan dat het $\overline{DSR}$-signaal naar de 16C550 na de laatste uitlezing van toestand is veranderd.
- MSR-bit 2:
  geeft aan dat het $\overline{RI}$-signaal naar de 16C550 is veranderd van LAAG naar HOOG.
- MSR-bit 3:
  geeft aan dat het $\overline{DCD}$-signaal naar de 16C550 van toestand is veranderd sinds de laatste keer dat dit bit door de processor werd uitgelezen.
- MSR-bit 4:
  dit bit komt overeen met RTS in het Modem Control Register tijdens de lokale loop-back mode. Het is het complement van het $\overline{CTS}$-signaal.
- MSR-bit 5:
  dit bit is equivalent aan DTR in het MCR gedurende de lokale loop-back mode.
  Het is het complement van het $\overline{DSR}$-signaal.
- MSR-bit 6:
  dit bit komt overeen met OUT1 in het Modem Control Register tijdens de lokale loop-back mode en het complement van het $\overline{RI}$-signaal.
- MSR-bit 7:
  dit bit is equivalent aan OUT2 in het MCR tijdens de lokale loop-back mode en het complement van het $\overline{DCD}$-signaal.

LET OP: Telkens wanneer MSR-bit 3 tot en met 0 op "1" zijn gezet, wordt een modem status interrupt gegenereerd!

REGISTER/SIGNAL	RESET CONTROL	RESET STATE
Interrupt-Enable Register	Master Reset	All bits low (0–3 forced and 4–7 permanent)
Interrupt-Identification Register	Master Reset	Bit 0 is high, bits 1, 2, 3, 6, and 7 are low, and bits 4–5 are permanently low
FIFO-Control Register	Master Reset	All bits low
Line-Control Register	Master Reset	All bits low
Modem-Control Register	Master Reset	All bits low (6–7 permanent)
Line-Status Register	Master Reset	Bits 5 and 6 are high; all other bits are low
Modem-Status Register	Master Reset	Bits 0–3 are low; bits 4–7 are input signals
SOUT	Master Reset	High
INTRPT (receiver error flag)	Read LSR/MR	Low
INTRPT (received data available)	Read RBR/MR	Low
INTRPT (transmitter holding register empty)	Read IR/Write THR/MR	Low
INTRPT (modem-status changes)	Read MSR/MR	Low
$\overline{\text{OUT2}}$	Master Reset	High
$\overline{\text{RTS}}$	Master Reset	High
$\overline{\text{DTR}}$	Master Reset	High
$\overline{\text{OUT1}}$	Master Reset	High
Scratch Register	Master Reset	No effect
Divisor-Latch (LSB and MSB) Registers	Master Reset	No effect
Receiver Buffer Register	Master Reset	No effect
Transmitter Holding Register	Master Reset	No effect
RCVR FIFO	MR/FCR1–FCR0/ ΔFCR0	All bits low
XMIT FIFO	MR/FCR2–FCR0/ ΔFCR0	All bits low

Figuur 6/9.23.3-14: De resetcondities van de 16C550.

Scratch Register (SCR)

Het Scratch Register van de 16C550 dient weer om 8 bit informatie tijdelijk op te slaan.

Reset

In figuur 6/9.23.3-14 is aangegeven hoe de UART-signalen reageren op een externe reset.

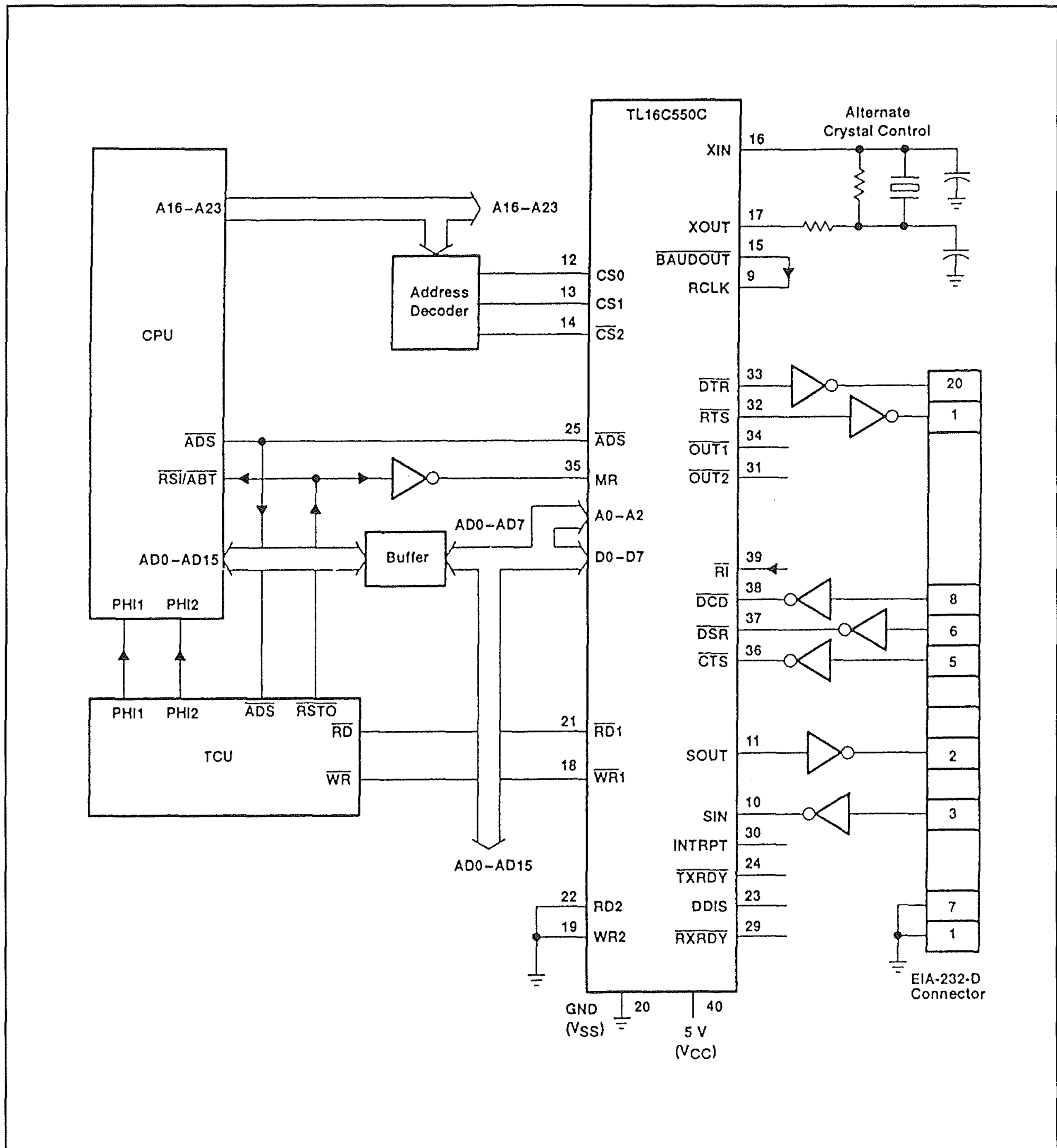
Toepassingsvoorbeeld

In figuur 6/9.23.3-15 is getekend hoe de 16C550 op de processorbus kan worden aangesloten. De pennummers in dit schema hebben betrekking op de DIL-uitvoering van de 16C550.

Auto Flow besturing

Ter afsluiting van deze bespreking volgt een korte beschrijving van de Auto Flow besturing van het Texas Instruments type TL16C550. Bij UART's van de andere merken wordt deze eigenschap niet vermeld. De Auto Flow besturing bestaat uit auto $\overline{\text{CTS}}$ en auto $\overline{\text{RTS}}$. Met auto $\overline{\text{CTS}}$ moet de $\overline{\text{CTS}}$-ingang aktief zijn voordat de zend-FIFO data kan versturen (zie figuur 6/9.23.3-16). Met auto $\overline{\text{RTS}}$ wordt de $\overline{\text{RTS}}$-uitgang aktief als de ontvanger meer data wil hebben en dit aan de zender laat weten. Als $\overline{\text{RTS}}$ op $\overline{\text{CTS}}$ is aangesloten kan datatransport alleen plaatsvinden als daarvoor ruimte is in de ontvang-FIFO.

9.23 Perifere schakelingen van de 16Cxxx-familie



Figuur 6/9.23.3-15: Het integreren van de 16C550 in een processorsysteem.

Overrun-fouten kunnen dus nooit optreden als ACE1 en ACE2 (Asynchroon Communicatie Element) beide TL16C550's met een ingeschakelde auto flowbesturing zijn.

Auto CTS

De zendschakeling controleert of $\overline{CTS}$ aktief is voordat een volgend databyte wordt verstuurd. Om te voorkomen dat de zender een volgend byte uitzendt, moet $\overline{CTS}$

9.23 Perifere schakelingen van de 16Cxxx-familie

vóór het midden van het laatste stopbit dat wordt uitgezonden worden losgelaten. De auto CTS-functie vermindert het aantal interrupts naar het computersysteem. Wanneer de flow-besturing is ingeschakeld, worden door CTS-veranderingen geen interrupts getriggerd, omdat de schakeling automatisch zijn eigen zender bestuurt. Zonder auto CTS verstuurt de zender alle data die in de zend-FIFO aanwezig is, waardoor een overrun-fout kan ontstaan.

Auto RTS
De auto RTS datastroom besturing is afkomstig van de timing van de ontvanger en het besturingsblok en is verbonden met het geprogrammeerde ontvang-FIFO niveau.
Als het ontvang-FIFO niveau een triggerniveau van 1, 4 of 8 bereikt, wordt RTS weggehaald. Bij triggerniveaus van 1, 4 en 8 is het mogelijk dat de zendende ACE, na bereiken van het triggerniveau, nog een extra byte verstuurt als het weghalen van RTS pas wordt gezien nadat de extra byte al wordt verzonden. RTS wordt automatisch opnieuw aktief zodra de ontvang-FIFO is geleegd door uitlezen van het bufferregister RBR. Als het triggerniveau 14 is wordt RTS weggehaald nadat het eerste databit van het 16e karakter aanwezig is op de SIN-lijn.
RTS wordt weer aktief wanneer de ontvang-FIFO ruimte heeft voor tenminste één byte.

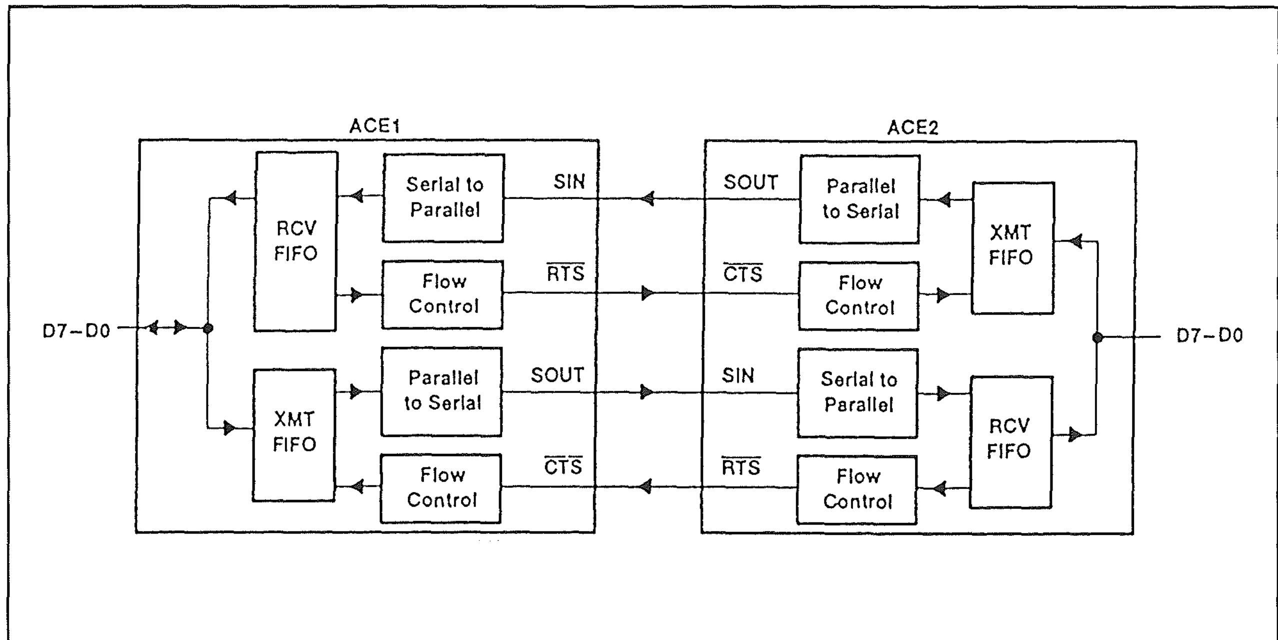
Inschakelen
van Auto Flow besturing en Auto CTS
De Auto Flow-besturing wordt ingeschakeld door bit 5 (auto-flow enable, AFE) en bit 1 (RTS) in het modem control register (MCR) op "1" te zetten. Auto Flow heeft betrekking op zowel CTS als RTS. Als alleen auto CTS gewenst is, moet bit 1 in het MCR op "0" worden gezet (hierbij wordt aangenomen dat CTS afkomstig is van een besturingssignaal).

16C552

De 16C552 is een dubbele universele asynchrone zender/ontvanger met FIFO's (First-In, First-Out geheugens) aan zend- en ontvangzijde, die bovendien is voorzien van een ***bidirectionele*** Centronics printerpoort. Elk kanaal kan onafhankelijk van het andere communiceren met microprocessor- of microcontroller systemen. Serieel ontvangen datakarakters uit modems of periferieapparatuur worden omgezet in parallelle en op uitgezonden data wordt parallel-naar-serie conversie toegepast. De complete status van elk kanaal kan op elk moment door de processor worden uitgelezen. De 16C552 heeft een programmeerbare baud-rate generator, waarmee kloksnelheden van 50 Hz tot en met 448 kHz kunnen worden ingesteld.
De ACE beschikt over alle functies voor het besturen van een modem plus een processor interrupt systeem dat met behulp van software aan de eisen van de gebruiker kan worden aangepast. Bovendien is interne loop-back voor testdoeleinden mogelijk. Naast de dubbele communicatiemogelijkheden beschikt de 16C552 over een bidirectionele parallelle datapoort die volledig voldoet aan een Centronics-type printer.

Standaard
De 16C552 is de standaard-interface die in ieder modern PC-systeem wordt toegepast.

9.23 Perifere schakelingen van de 16Cxxx-familie



Figuur 6/9.23.3-16: Voorbeeld van een Auto Flow-besturing (auto $\overline{CTS}$ en auto $\overline{RTS}$).

Dank zij de volledig ***bidirectioneel*** werkende Centronics-interface kan een PC-systeem, uitgerust met de 16C552, op een heel eenvoudige en zeer snelle manier parallelle data-uitwisseling bedrijven met randapparatuur.

Specificaties

- volledig IBM PC/AT compatibel
- software compatibel met 2 x 16C550
- verbeterde bidirectionele printerpoort
- 16 byte zend-FIFO
- 16 byte ontvang-FIFO met errorvlaggen
- modembesturingsfuncties: $\overline{CTS}$, $\overline{RTS}$, $\overline{DSR}$, $\overline{DTR}$, $\overline{RI}$ en $\overline{DCD}$
- programmeerbare karakterlengte: 5, 6, 7 of 8 bit
- genereren/detectie van even, oneven of geen pariteitsbit
- opwekking van 1, 1/2 of 2 stopbits
- onafhankelijke besturing van zenden en ontvangen
- TTL-compatibele in- en uitgangen (3-state)
- zenden/ontvangen op 448 kHz bij toepassing van 7,372 MHz kristal of externe clock

Behuizing

De 16C552 wordt alleen geleverd in een 68-pens PLCC-behuizing, waarvan de aansluitgegevens in figuur 6/9.23.3-17 zijn samengevat.

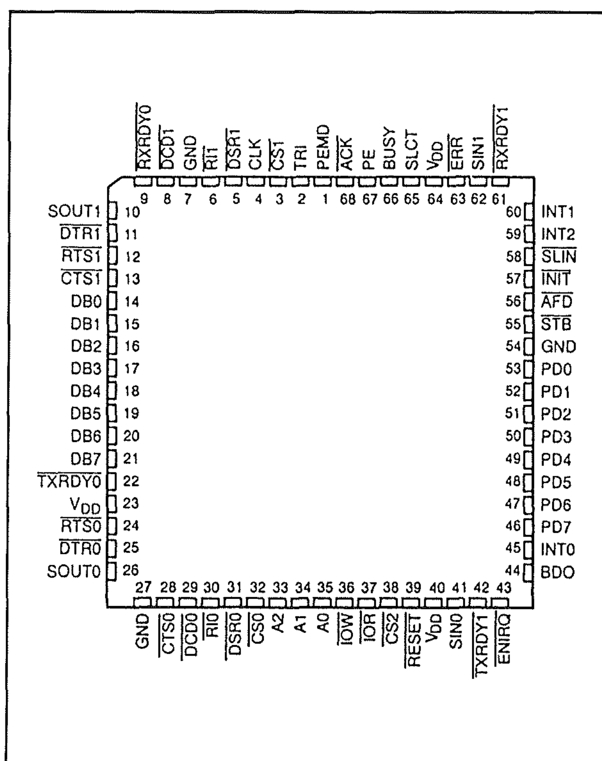
Functioneel blokschema

Het (sterk vereenvoudigde) functioneel blokschema van de 16C552 is weergegeven in figuur 6/9.23.3-18.

Beschrijving van de in- en uitgangen

In de tabellen van de figuren 6/9.23.3-19 en -20 is een kort overzicht gegeven van de functie van alle in- en uitgangen.

9.23 Perifere schakelingen van de 16Cxxx-familie



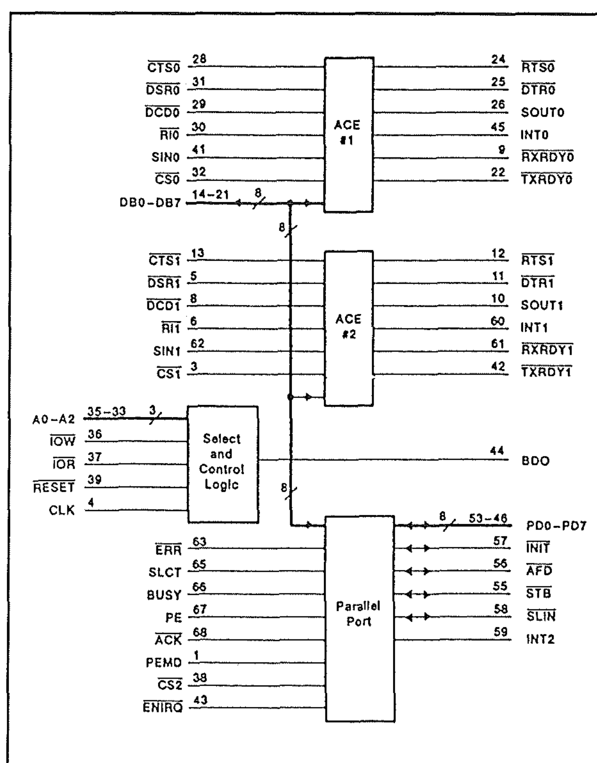
Figuur 6/9.23.3-17: De aansluitingen van de 86-pens PLCC-behuizing van de 16C552.

De seriële werking

De 16C552 is volledig compatible met de 16C550, wat betreft de werking van zijn seriële interface. Voor het selecteren en programmeren van deze registers wordt dus verwezen naar de uitvoerige beschrijving van de 16C550. Ter verduidelijking zijn in de tabel van figuur 6/9.23.3-21 de registers en de functie van hun individuele bits nog eens samengevat.

Baud-rate generator bestuurbaar met 8,192 MHz

De baud-generator in de 16C552 kan bestuurd worden met de standaard kristallen van 1,8432 MHz en 3,072 MHz, maar ook met 8,192 MHz. Het seriële kanaal van de ACE heeft een programmeerbare baud-rate generator (BRG) die clocksignalen tussen 0 (DC) en 16 MHz kan delen door een getal tussen 1 en 2^{16} - 1. De uitgangsfrequentie van de baudgenerator is 16x de datasnelheid:
divisor # = clock + (baud-rate x 16)
Twee 8 bit divisor-latch registers slaan de deelwaarde op in een 16 bit formaat. Deze divisor-latch registers moeten tijdens de initialisatie worden geladen. Na het laden van beide latches wordt direct een 16 bit baudteller geladen. De baud-rates die met een kristal van 8,192 MHz kunnen worden gegenereerd zijn samengevat in de tabel van figuur 6/9.23.3-22.



Figuur 6/9.23.3-18: Het functioneel blokschema van de 16C552.

9.23 Perifere schakelingen van de 16Cxxx-familie

TERMINAL NAME	NO.	I/O	DESCRIPTION
$\overline{ACK}$	68	I	Line-printer acknowledge. $\overline{ACK}$ goes low to indicate a successful data transfer has taken place. It generates a printer-port interrupt during its positive transition.
$\overline{AFD}$	56	I/O	Line-printer autofeed. This open-drain line provides the line printer with an active-low signal when continuous form paper is to be autofed to the printer. This terminal has an internal pullup resistor to V_{DD} of approximately 10 kΩ.
A0, A1, A2	35, 34, 33	I	Address. The address lines A0–A2 select the internal registers during CPU bus operations. See Table 1 for the decode of the serial channels and Table 11 for the decode of the parallel line-printer port.
BDO	44	O	Bus buffer. This active-high output is asserted when either serial channel or the parallel port is read. This output is used to control the system bus driver (74LS245).
BUSY	66	I	Line-printer busy. This is an input line from the line printer that goes high when the line printer is not ready to accept data.
CLK	4	I	Clock. CLK is the external clock input to the baud-rate divisor of each ACE.
$\overline{CS0}$, $\overline{CS1}$, $\overline{CS2}$	32, 3, 38	I	Chip select. Each input acts as an enable for the write and read signals for the serial channels 1 ($\overline{CS0}$) and 2 ($\overline{CS1}$). $\overline{CS2}$ enables the signals to the line-printer port.
$\overline{CTS0}$, $\overline{CTS1}$	28, 13	I	Clear to send. The logical state of each $\overline{CTS}$ terminal is reflected in the CTS bit of the modem-status register (MSR) (CTS is bit 4 of the MSR, written MSR4) of each ACE. A change of state in either $\overline{CTS}$ terminal since the previous reading of the associated MSR causes the setting of Δ CTS (MSR0) of each modem-status register.
DB0-DB7	14-21	I/O	Data bits DB0–DB7. The data bus provides eight I/O lines with 3-state outputs for the transfer of data, control, and status information between the TL16C552A and the CPU. These lines are normally in the high-impedance state except during read operations. D0 is the least significant bit (LSB) and is the first serial data bit to be received or transmitted.
$\overline{DCD0}$, $\overline{DCD1}$	29, 8	I	Data-carrier detect. $\overline{DCD}$ is a modem input whose condition can be tested by the CPU by reading MSR7 (DCD) of the modem-status registers. MSR3 (Δ DCD) of the modem-status register indicates whether the $\overline{DCD}$ input has changed since the previous reading of the MSR. $\overline{DCD}$ has no effect on the receiver.
$\overline{DSR0}$, $\overline{DSR1}$	31, 5	I	Data set ready. The logical state of the DSR terminals is reflected in MSR5 of its associated modem-status register. Δ DSR (MSR1) indicates whether the associated DSR terminal has changed state since the previous reading of the MSR.
$\overline{DTR0}$, $\overline{DTR1}$	25, 11	O	Data terminal ready line. Each DTR output can be set (low) by writing a logic 1 to MCR0, modem-control register bit 0 of its associated ACE. This signal is cleared (high) by writing a logic 0 to the DTR bit (MCR0) or whenever a reset occurs. When active (low), DTR indicates that its ACE is ready to receive data.
$\overline{ENIRQ}$	43	I	Parallel-port-interrupt source-mode selection. When low, the AT mode of interrupts is enabled. In this mode, the INT2 output is internally connected to the $\overline{ACK}$ input. If the $\overline{ENIRQ}$ output is tied high, the PS-2 mode of interrupt is enabled and the INT2 output is internally tied to the inverse of the $\overline{PRINT}$ bit in the line-printer status register. INT2 is latched high on the rising edge of $\overline{ACK}$. INT2 is held until the status register is read, which then resets the $\overline{PRINT}$ status bit and INT2.
$\overline{ERR}$	63	I	Line-printer error. This is an input line from the line printer. The line printer reports an error by holding this line low during the error condition.
GND	7, 27, 54		Ground (0 V). All terminals must be tied to GND for proper operation.
$\overline{INIT}$	57	I/O	Line-printer initialize. This open-drain line provides the line printer with an active-low signal that allows the line-printer-initialization routine to be started. $\overline{INIT}$ has an internal pullup resistor to V_{DD} of approximately 10 kΩ.
INT0, INT1	45, 60	O	Serial-channel interrupt. Each serial-channel-interrupt 3-state output (enabled by bit 3 of the MCR) goes active (high) when one of the following interrupts has an active (high) condition and is enabled by the interrupt-enable register of its associated channel: receiver error flag, received data available, transmitter holding-register empty, and modem status. The interrupt is reset low on appropriate service. Upon reset, the interrupt output is in the high-impedance state.

Figuur 6/9.23.3-19: Functiebeschrijving van de pennen van de 16C522, deel 1.

9.23 Perifere schakelingen van de 16Cxxx-familie

TERMINAL NAME	NO.	I/O	DESCRIPTION
INT2	59	O	Printer-port interrupt. INT2 is an active-high, 3-state output, generated by the positive transition of $\overline{ACK}$. It is enabled by bit 4 of the write-control register. Upon reset, the interrupt output is in the high-impedance state. Its mode is also controlled by $\overline{ENIRQ}$.
$\overline{IOR}$	37	I	Input/output read strobe. This is an active-low input that enables the selected channel to output data to the data bus (DB0–DB7). The data output depends on the register selected by the address inputs A0, A1, A2, and chip select. Chip select 0 ($\overline{CS0}$) selects ACE #1, chip select 1 ($\overline{CS1}$) selects ACE #2, and chip select 2 ($\overline{CS2}$) selects the line-printer port.
$\overline{IOW}$	36	I	Input/output write strobe. This is an active-low input causing data from the data bus to be input to either ACE or to the parallel port. The destination depends on the register selected by the address inputs A0, A1, A2, and chip selects $\overline{CS0}$, $\overline{CS1}$, and $\overline{CS2}$.
PD0–PD7	53–46	I/O	Parallel data bits (0–7). These eight lines provide a byte-wide input or output port to the system.
PE	67	I	Line-printer paper empty. This is an input line from the line printer that goes high when the printer runs out of paper.
PEMD	1	I	Printer-enhancement-mode. When low, this signal enables the write data register to the PD0–PD7 lines. A high on this signal allows direction control of the PD0–PD7 port by the DIR bit in the control register. PEMD is usually tied low for the printer operation.
$\overline{RESET}$	39	I	Reset. When low, the reset input forces the TL16C552A into an idle mode in which all serial data activities are suspended. The modem-control register (MCR) along with its associated outputs are cleared. The line-status register (LSR) is cleared except for the THRE and TEMT bits, which are set. All functions of the device remain in an idle state until programmed to resume serial data activities. This input has a hysteresis level of typically 400 mV.
$\overline{RTS0}$, $\overline{RTS1}$	24, 12	O	Request to send. The $\overline{RTS}$ outputs are set low by writing a logic 1 to MCR1 bit 1 of its UARTs modem-control register. Both $\overline{RTS}$ terminals are reset high by $\overline{RESET}$. A low on $\overline{RTS}$ indicates that its ACE has data ready to transmit. In half-duplex operations, $\overline{RTS}$ is used to control the direction of the line.
$\overline{RXRDY0}$, $\overline{RXRDY1}$	9, 61	O	Receiver ready. Receiver DMA signaling is also available through this output. One of two types of DMA signaling can be selected via FCR3 when operating in the FIFO mode. Only DMA mode 0 is allowed when operating in the TL16C450 mode. For signal transfer DMA (a transfer is made between CPU bus cycles), mode 0 is used. Multiple transfers that are made continuously until the RCVR FIFO has been emptied are supported by mode 1. Mode 0. $\overline{RXRDY}$ is active (low) when in the FIFO mode (FCR0 = 1, FCR3 = 0) or when in the TL16C450 mode (FCR0 = 0) and the RCVR FIFO or RCVR holding register contain at least one character. When there are no more characters in the FIFO or holding register, $\overline{RXRDY}$ goes inactive (high). Mode 1. $\overline{RXRDY}$ goes active (low) in the FIFO mode (FCR0 = 1) when FCR3 = 1 and the time-out or trigger levels have been reached. It goes inactive (high) when the FIFO or holding register is empty.
$\overline{RI0}$, $\overline{RI1}$	30, 6	I	Ring indicator. The $\overline{RI}$ signal is a modem-control input whose condition is tested by reading MSR6 (RI) of each ACE. The modem-status-register output TERI (MSR2) indicates whether the $\overline{RI}$ input has changed from high to low since the previous reading of the MSR.
SIN0, SIN1	41, 62	I	Serial data. SIN0 and SIN1 move information from the communication line or modem to the TL16C552A receiver circuits. A mark (1) is high and a space (0) is low. Data on serial-data inputs is disabled when operating in the loop mode.
SLCT	65	I	Line-printerselected. This is an input line from the line printer that goes high when the line printer is selected.
$\overline{SLIN}$	58	I/O	Line-printer select. This open-drain I/O selects the printer when active (low). $\overline{SLIN}$ has an internal pullup resistor to V_{DD} of approximately 10 kΩ.
SOUT0, SOUT1	26, 10	O	Serial-data outputs. These lines are the serial-data outputs from the ACE's transmitter circuitry. A mark is a logic 1 (high) and a space is a logic 0 (low). Each SOUT is held in the mark condition when the transmitter is disabled, $\overline{RESET}$ is true (low), the transmitter register is empty, or when in the loop mode.
$\overline{STB}$	55	I/O	Line-printer strobe. This open-drain line provides communication between the TL16C552A and the line printer. When it is active (low), it provides the line printer with a signal to latch the data currently on the parallel port. $\overline{STB}$ has an internal pullup resistor to V_{DD} of approximately 10 kΩ.
TRI	2	I	3-state output control input. TRI is used to control the 3-state control of all I/O and output terminals. When TRI is asserted, all I/O and outputs are in the high-impedance state allowing board-level testers to drive the outputs without overdriving internal buffers. This CMOS input is level sensitive and is pulled down with an internal resistor that is approximately 5 kΩ.
$\overline{TXRDY0}$ $\overline{TXRDY1}$	22 42	O	Transmitter ready. Two types of DMA signaling are available. Either can be selected via FCR3 when operating in the FIFO mode. Only DMA mode 0 is allowed when operating in the TL16C450 mode. Single-transfer DMA (a transfer is made between CPU bus cycles) is supported by mode 0. Multiplication transfers that are made continuously until the XMIT FIFO has been filled are supported by mode 1. Mode 0. When in the FIFO mode (FCR0 = 1, FCR3 = 0) or in the TL16C450 mode (FCR0 = 0) and there are no characters in the XMIT holding register or XMIT FIFO, $\overline{TXRDY}$ is active (low). Once $\overline{TXRDY}$ is activated (low), it goes inactive after the first character is loaded into the holding register of the XMIT FIFO. Mode 1. $\overline{TXRDY}$ goes active (low) if in the FIFO mode (FCR0 = 1) when FCR3 = 1 and there are no characters in the XMIT FIFO. When the XMIT FIFO is completely full, $\overline{TXRDY}$ goes inactive (high).
V_{DD}	23, 40, 64		Power supply. The power supply requirement is 5 V ±5%.

Figuur 6/9.23.3-20: Functiebeschrijving van de pennen van de 16C522, deel 2.

9.23 Perifere schakelingen van de 16Cxxx-familie

ADDRESS	REGISTER MNEMONIC	REGISTER BIT NUMBER							
		BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
0	RBR (read only)	Data Bit 7 (MSB)	Data Bit 6	Data Bit 5	Data Bit 4	Data Bit 3	Data Bit 2	Data Bit 1	Data Bit 0 (LSB)
0	THR (write only)	Data Bit 7	Data Bit 6	Data Bit 5	Data Bit 4	Data Bit 3	Data Bit 2	Data Bit 1	Data Bit 0
0†	DLL	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
1†	DLM	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8
1	IER	0	0	0	0	(EDSSI) Enable modem-status interrupt	(ERLSI) Enable receiver line-status interrupt	(ETBEI) Enable transmitter holding-register-empty interrupt	(ERBFI) Enable received-data-available interrupt
2	FCR (write only)	RCVR Trigger (MSB)	RCVR Trigger (LSB)	Reserved	Reserved	DMA mode select	XMIT FIFO reset	RCVR FIFO reset	FIFO Enable
2	IIR (read only)	FIFOs Enabled‡	FIFOs Enabled‡	0	0	Interrupt ID Bit 2‡	Interrupt ID Bit 1	Interrupt ID Bit 0	0 if interrupt pending
3	LCR	(DLAB) Divisor-latch-access bit	Set break	Stick parity	(EPS) Even-parity select	(PEN) Parity enable	(STB) Number of stop bits	(WLSB1) Word-length select bit 1	(WLSB0) Word-length select bit 0
4	MCR	0	0	0	Loop	Enable external interrupt (INT0 or INT1)	OUT1 (an unused internal signal)	(RTS) Request to send	(DTR) Data-terminal ready
5	LSR	Error in RCVR FIFO‡	(TEMT) Transmitter empty	(THRE) Transmitter holding-register empty	(BI) Break interrupt	(FE) Framing error	(PE) Parity error	(OE) Overrun error	(DR) Data ready
6	MSR	(DCD) Data-carrier detect	(RI) Ring indicator	(DSR) Data-set ready	(CTS) Clear to send	(Δ DCD) Delta data-carrier detect	(TERI) Trailing edge-ring indicator	(Δ DSR) Delta data-set ready	(Δ CTS) Delta clear to send
7	SCR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0

† DLAB = 1
‡ These bits are always 0 when FIFOs are disabled.

Figuur 6/9.23.3-21: Samenvatting van de seriële registers van de 16C552 en de functie van hun bits.

9.23 Perifere schakelingen van de 16Cxxx-familie

BAUD RATE DESIRED	DIVISOR (N) USED TO GENERATE 16x CLOCK	PERCENT ERROR DIFFERENCE BETWEEN DESIRED AND ACTUAL
50	1000	–
75	6667	0.005
110	4545	0.010
134.5	3717	0.013
150	3333	0.010
300	1667	0.020
600	833	0.040
1200	417	0.080
1800	277	0.080
2000	250	–
2400	208	0.160
3600	139	0.080
4800	104	0.160
7200	69	0.644
9600	52	0.160
19200	26	0.160
38400	13	0.160
56000	9	0.790
128000	4	2.344
256000	2	2.344
512000	1	2.400

Figuur 6/9.23.3-22: Baud-rates bij gebruik van een 8,192 MHz kristal.

Master Reset

Na het opkomen van de voedingsspanning moet de $\overline{\text{RESET}}$-ingang van de 16C552 nog 1 µs LAAG worden gehouden om de interne schakelingen tot aan de initialisatie in een vrijloop conditie te houden. Een LAAG op $\overline{\text{RESET}}$ veroorzaakt het volgende:

- initialiseert de clocktellers van zender en ontvanger;
- maakt het line-status register (LSR) op TEMT en THRE na leeg:
- het MCR wordt gecleared.

Na het weghalen van de reset-conditie ($\overline{\text{RESET}}$ = HOOG) blijft de ACE in de vrijloop-mode totdat hij geprogrammeerd wordt.

Programmeren

Het seriële kanaal van de ACE wordt geprogrammeerd door de besturingsregisters LCR, IER, DLL, DLM, MCR en FCR. Deze besturingswoorden bepalen de karakterlengte, aantal stopbits, pariteit, baud-rate en modeminterface. Terwijl de besturingsregisters in elke willekeurige volgorde kunnen worden beschreven, moet het laatst in het IER worden geschreven, omdat dit de interrupts vrijgeeft. Zodra het seriële kanaal geprogrammeerd en operationeel is, kunnen deze registers worden bijgesteld als de ACE niet bezig is met het verzenden of ontvangen van data.

De parallelle poort registers

Met behulp van de parallelle poort kan de 16C552 op een printer van het Centronics-type worden aangesloten. Als de chipselect 2 ($\overline{\text{CS2}}$) LAAG is, is de parallelle poort geselecteerd. In de tabellen van de figuren 6/9.23.3-23 en -24 zijn de registers te zien die bij deze parallelle poort horen. De lees- of schrijffuncties van het register worden bestuurd door de status van de lees- en schrijfpennen ($\overline{\text{IOR}}$, respectievelijk $\overline{\text{IOW}}$). Het Read Data Register stelt de processor in staat om de informatie op de parallelle bus te lezen. Het Read Status Register kijkt in de zes belangrijkste bits naar de status van de printer. De statusbits zijn:

- printer bezig ($\overline{\text{BUSY}}$);
- acknowledge ($\overline{\text{ACK}}$);
- paper empty (PE);
- printer selected (SLCT);
- error ($\overline{\text{ERROR}}$);
- printer interrupt ($\overline{\text{PRINT}}$).

Met het Read Control Register kan de toestand van de besturingslijnen worden uitgelezen. Het Write Control Register zet de besturingslijnen op de juiste waarden: richting (DIR);

- interrupt enable (INT2 EN);
- select in ($\overline{\text{SLIN}}$);
- initialize printer ($\overline{\text{INIT}}$);
- autofeed paper ($\overline{\text{AFD}}$);
- strobe ($\overline{\text{STB}}$).

9.23 Perifere schakelingen van de 16Cxxx-familie

REGISTER	REGISTER BITS							
	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
Read data	PD7	PD6	PD5	PD4	PD3	PD2	PD1	PD0
Read status	$\overline{BSY}$	$\overline{ACK}$	PE	SLCT	$\overline{ERR}$	$\overline{PRINT}$	1	1
Read control	0	0	PEMP • DIR	INT2 EN	SLIN	$\overline{INIT}$	AFD	STB
Write data	PD7	PD6	PD5	PD4	PD3	PD2	PD1	PD0
Write control	0	0	DIR	INT2 EN	SLIN	$\overline{INIT}$	AFD	STB

Figuur 6/9.23.3-23: Functies van de bits in de parallelle poort registers.

CONTROL PINS					REGISTER SELECTED
$\overline{IOR}$	$\overline{IOW}$	$\overline{CS2}$	A1	A0	
L	H	L	L	L	Read data
L	H	L	L	H	Read status
L	H	L	H	L	Read control
L	H	L	H	H	Invalid
H	L	L	L	L	Write data
H	L	L	L	H	Invalid
H	L	L	H	L	Write control
H	L	L	H	H	Invalid

Figuur 6/9.23.3-24: Selectie van de parallelle poort registers.

Hiermee wordt de printer ingelicht over de aanwezigheid van een geldige byte op de parallelle bus.

Line-printer poort

De line-printer poort bevat naast de functionaliteit van de poort in de 16C452 een hardware programmeerbare uitbreiding die wordt bestuurd met de printer-enhancement-mode (PEMD) pen. De uitbreiding bestaat uit een richtingbesturingsbit en een interruptstatusbit.

Register 0 Line-printer data-register

De lijn-printer poort (LPT) is óf alleen uitgang óf bidirectioneel, afhankelijk van de status van de extended-mode pen en data-direction control bits. Figuur 6/9.23.3-25 geeft een overzicht van de configuraties van de LPT-poort, gebaseerd op de logische niveaus van de PEMD-pen en de richting-pen (DIR).

- **Compatibility mode** (PEMD-pen = "0")
  Leest de data die het laatst naar de poort is geschreven terug naar het LPT dataregister. Schrijfoperaties brengen data onmiddellijk over naar PD0 tot en met PD7.
- **Extended mode** (PEMD-pen = "1")
  Leesoperaties brengen de laatst naar het LPT dataregister geschreven data terug als het richtingbit op schrijven is gezet (LAAG). Is het richtingbit HOOG (lezen) dan wordt de data die op PD0 tot en met PD7 staat teruggevoerd. Schrijfoperaties naar het LPT dataregister latchen data in het uitgangsregister (alleen als het richtingbit LAAG is).

Register 1 read line
Printer Status Register

Het line printer statusregister (LPS) is een read-only register dat de interrupt en printerstatus van de LPT connectorpennen bevat. In de defaultkolom van de tabel van figuur 6/9.23.3-26 zijn de waarden van elk bit te zien, na resetten in het geval dat de printer is losgekoppeld van de poort.

- Bits 0 en 1:
  Gereserveerd ("1").
- Bit 2:

Printerinterrupt (PRINT, aktief-LAAG). Dit bit wordt LAAG gezet als de printer de vorige overdracht met een ACK-handshake heeft beantwoord (als bit 4 van het controlregister op "1" werd gezet). Het bit wordt "0" gemaakt op de aktief-naar-niet-aktief overgang van het ACK-signaal. Na uitlezen van de status wordt dit bit "1".

- Bit 3:
  Error-statusbit (ERR, aktief-LAAG), komt overeen met de ERR-ingang.
- Bit 4:
  Select-statusbit (SLCT), overeenkomende met het SLCT-signaal.
- Bit 5:
  Paper-empty (PE) statusbit dat overeenkomt met het PEsignaal.
- Bit 6:
  Acknowledge-statusbit (ACK, aktief-LAAG), komt overeen met de ACK-ingang.
- Bit 7:
  Bezig-statusbit (BSY, aktief-LAAG), komt overeen met het BUSY-signaal (aktief-HOOG).

Register 2 line Printer Control Register
Het line printer besturingsregister (LPC) is een read/write poort die wordt gebruikt om de richting van PD0 tot en met PD7 te regelen en de printer besturingslijnen aan te sturen. Door schrijfoperaties worden deze bits gezet of gereset, terwijl leesoperaties de status van de laatste schrijfoperatie naar dit register terugbrengen. De bits van dit register worden gedefinieerd als in de tabel van figuur 6/9.23.3-27 te zien is.

- Bit 0:
  Printer-strobe (STB) besturingsbit. Als dit "1" is, wordt het STB-signaal op de LPT interface gezet. Is het "0" dan wordt het signaal genegeerd.
- Bit 1:
  Autofeed (AFD) besturingsbit. Is dit "1" dan wordt AFD op de LPT interface gezet (bij "0" niet).
- Bit 2:
  Initialize-printer (INIT) besturingsbit. Is dit bit "1" dan wordt het INIT-signaal genegeerd; bij "0" komt het INIT-signaal op de LPT interface.

PEMD	DIR	PD0-PD7 FUNCTION
L	X	PC/AT mode - output
H	0	PS/2 mode - output
H	1	PS/2 mode - input

Figuur 6/9.23.3-25: Samenvatting van de configuraties van de LPT-poort.

BIT	DESCRIPTION	DEFAULT
0	Reserved	1
1	Reserved	1
2	PRINT	1
3	ERR	†
4	SLCT	†
5	PE	†
6	ACK	†
7	BSY	†

† Outputs are dependent upon device inputs.

Figuur 6/9.23.3-26: Overzicht van de toestand van de LPS-bits na resetten.

- Bit 3:
  Select input (SLIN) besturingsbit. Alleen als dit "1" is wordt het SLIN-signaal op de LPT interface gezet.
- Bit 4:
  Interrupt-request-enable (INT2 EN) besturingsbit. Wanneer dit "1" is worden interrupts van de LPT-poort vrijge-

9.23 Perifere schakelingen van de 16Cxxx-familie

geven als het $\overline{ACK}$-signaal is weggehaald. Is dit "0" dan worden de interrupts gesperd en komt het INT2-signaal in de hoog-impedante toestand.

- Bit 5:
  Richting (DIR) besturingsbit (alleen gebruikt als PEMD HOOG is). Als dit bit "1" is, worden de uitgangsbuffers in de LPD-poort gesperd, waardoor data van externe bronnen via de LPD-poort kan worden uitgelezen. Als DIR "0" is, staat de LPD-poort in de uitgangsmode.

BIT	DESCRIPTION
0	STB
1	AFD
2	$\overline{INIT}$
3	SLIN
4	INT2 EN
5	DIR
6	Reserved 0
7	Reserved 0

Figuur 6/9.23.3-27: Definitie van de LPC-bits.

9.23 Perifere schakelingen van de 16Cxxx-familie